

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

2 Kennedy
R. Webb
1-1201
Jc875 U.S. PTO
09/625643
07/25/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1999年 7月28日

出願番号

Application Number:

平成11年特許願第213098号

出願人

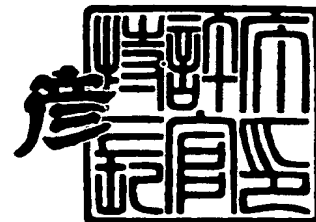
Applicant(s):

ローム株式会社

2000年 5月12日

特許庁長官
Commissioner,
Patent Office

近藤 隆彦



出証番号 出証特2000-3034062

【書類名】 特許願

【整理番号】 11P032

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 京都府京都市右京区西院溝崎町 2 1 番地 ローム株式会
 社内

 【氏名】 平賀 則秋

【特許出願人】

 【識別番号】 000116024

 【氏名又は名称】 ローム株式会社

 【代表者】 佐藤 研一郎

【代理人】

 【識別番号】 100106345

 【弁理士】

 【氏名又は名称】 佐藤 香

【手数料の表示】

 【予納台帳番号】 052755

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9718264

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

電源ラインの異なる複数の内部回路と、それらの内部回路に亘って設けられた回路間信号配線とを備えた半導体集積回路装置において、前記回路間信号配線の接続された第 1 能動素子の近傍に、それを挟んだ又は囲んだ配置状態で、それと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線以外の信号配線から切り離された他の能動素子が、複数設けられていることを特徴とする半導体集積回路装置。

【請求項 2】

電源ラインの異なる複数の内部回路と、それらの内部回路に亘って設けられた回路間信号配線とを備えた半導体集積回路装置において、前記回路間信号配線の接続された第 1 能動素子の近傍に、それと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線および他の信号配線から切り離された第 2 能動素子が、設けられていることを特徴とする半導体集積回路装置。

【請求項 3】

前記第 1 能動素子の近傍に、それと同一構造の又は同様構造のものであって該当内部回路の電源ライン及び前記回路間信号配線に接続され他の信号配線から切り離された第 3 能動素子も、設けられていることを特徴とする請求項 2 記載の半導体集積回路装置。

【請求項 4】

前記複数の内部回路のうち何れか一对のものに対して、送受方向を異にする前記回路間信号配線が複数設けられるとともに、前記一对の内部回路のうち一方の回路における前記回路間信号配線の受側の第 1 能動素子の近傍には、前記第 2 能動素子と前記第 3 能動素子とが設けられ、前記一对の内部回路のうち他方の回路における前記回路間信号配線の受側の第 1 能動素子の近傍には、前記第 2 能動素子に代えて又はそれを省いて前記第 3 能動素子が設けられていることを特徴とす

る請求項 3 記載の半導体集積回路装置。

【請求項 5】

電源ラインの異なる複数の内部回路と、それらの内部回路に亘って設けられた回路間信号配線とを備えた半導体集積回路装置において、前記回路間信号配線の接続箇所の近傍における静的箇所に接続された回路間補助配線が、設けられていることを特徴とする半導体集積回路装置。

【請求項 6】

前記静的箇所に、前記回路間信号配線の接続された第 1 能動素子のうち送側の能動素子において該当内部回路の電源ラインに接続された部分領域と、前記第 1 能動素子のうち受側のものと同一構造の又は同様構造のものであってその近傍に設けられ前記回路間補助配線以外の信号配線から切り離された第 4 の能動素子との双方が含まれていることを特徴とする請求項 5 記載の半導体集積回路装置。

【請求項 7】

前記部分領域に代えて、そこに接続されている該当電源ラインにおいて前記部分領域に重なる又は近接している近傍領域に対して、前記回路間補助配線が接続されていることを特徴とする請求項 6 記載の半導体集積回路装置。

【請求項 8】

前記複数の内部回路のうち何れか一对のものに対して、送受方向を異にする前記回路間信号配線が複数設けられるとともに、前記一对の内部回路のうち一方の回路における前記回路間信号配線の受側の第 1 能動素子の近傍には、前記第 4 能動素子に加えてそれと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線その他の信号配線および前記回路間補助配線から切り離された第 2 能動素子も設けられ、前記一对の内部回路のうち他方の回路における前記回路間信号配線の受側の第 1 能動素子の近傍には、前記第 2 能動素子に代えて又はそれを省いて前記第 4 能動素子が設けられていることを特徴とする請求項 6 又は請求項 7 に記載された半導体集積回路装置。

【請求項 9】

前記第 2、第 3、第 4 能動素子の何れかに該当するもの又はそれに相当する能動素子が、前記第 1 能動素子またはそれに相当する能動素子を挟んだ又は囲んだ

配置状態で、複数設けられていることを特徴とする請求項 2 乃至請求項 8 の何れかに記載された半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、電源電圧を異にする複数の内部回路を持った半導体集積回路装置に関し、詳しくは、そのような内部回路間で信号を送受する能動素子を静電気の放電等による破壊から保護する技術に関する。

半導体集積回路装置としては、多機能の L S I（大規模集積回路装置）や、デジタル・アナログ混在 L S I，マルチ電源のデジタル L S I などが挙げられるが、そのような大規模集積回路では、特にゲートアレーや、カスタム L S I，A S I C（特定用途向け I C）など製造品目が多岐に及ぶものでは、基本セル構造の共通化や規則的配置などを前提として、製造プロセスの汎用化や設計の自動化等が進められている。

この発明は、そのような大規模集積回路装置に特に好適なものであり、静電破壊からの保護に加えて、自動回路設計等に対する適性も考慮されている。

【0 0 0 2】

【背景の技術】

図 7 は、電源ラインの異なる複数の内部回路をワンチップ上に作り込んだ半導体集積回路装置の典型的な構造を示しており、（a）がチップ全体の概要配置図、（b）が要部の回路図である。図 8 は、その内部回路間で信号を送受する部分を素子レベルで示しており、（a）が詳細回路図、（b）が半導体領域のレイアウト図、（c）がゲート及び電源ラインもパターン形成したところのレイアウト図、（d）が更に信号配線もパターン形成したところのレイアウト図、（e）が、能動素子用の基本セルすなわち基本単位となる半導体領域およびゲートの縦断面斜視図である。なお、図 8（d）において、信号配線は太い実線で示し、信号配線が半導体層にまで達するコンタクトホール等の接続箇所は黒丸で示し、電源ラインの層には達するがその下層の半導体層には至らない接続箇所は小さな正方形で示した。後述する図 1（b），図 2（b），図 4（b），図 5（b）につ

いても同様である。

【0 0 0 3】

大規模集積回路装置では、周辺部から中央部へ順にボンディングパッド等の外部接続端子 2 と外部信号入出力回路と内部回路とが配置されるが、この半導体集積回路装置 1 は（図 7（a）参照）、内部回路 4 A と内部回路 4 B とで供給される電源電圧が異なるため、それらが左右のブロックに分かれて配置されるとともに、左方の内部回路 4 A の近くに位置する左方の外部信号入出力回路 3 A 及び左辺の幾つかの外部接続端子 2 は、専ら内部回路 4 A と接続されて、内部回路 4 A に関する外部との信号中継や電力の受給などを行うようになっている。また、残りの外部信号入出力回路 3 B 及び外部接続端子 2 は、専ら内部回路 4 B と接続されて、内部回路 4 B に関する外部との信号中継や電力の受給などを行うようになっている。

【0 0 0 4】

これらの内部回路 4 A，4 B に供給される電源電圧の組み合わせ例としては、1 2 V 対 5 V、5 V 対 3 V、3 V 対 2 V など、種々挙げられるが、相対的に高い電源電圧の供給される方の回路（図では左側のもの）やその素子等には、符号の末尾に「A」を付して示す一方、相対的に低い電源電圧の供給される方の回路（図では右側のもの）やその素子等には、符号の末尾に「B」を付して示している。なお、後述する図 9 や図 1 ～図 6 についても同様である。

【0 0 0 5】

このような場合、外部から内部回路 4 A に電力の供給を受けるために、少なくとも一対の電源ライン例えば正電圧印加用の電源ライン 8 A と接地用の電源ライン 9 A とが必要となるので、多数の外部接続端子 2 のうち少なくとも一個は高電源用端子 5 A とされてこれに一方の電源ライン 8 A が接続されるとともに、残りの外部接続端子 2 のうち少なくとも一個が接地用端子 6 A とされてこれに他方の電源ライン 9 A が接続される。電源ライン 8 A，9 A は、何れも、図示しない環状配線や樹枝状・縞状の配線となって延び（図 7（a）参照）、外部信号入出力回路 3 A において入力保護回路 3 A A に接続されるとともに、そこを経由して内部回路 4 A に至りそこで多数の内部素子 1 1 A，1 2 A，1 3 A にも接続される

(図 7 (b) 参照)。

【 0 0 0 6 】

入力保護回路 3 A A は (図 7 (b) 参照)、外部接続端子 2 のうち内部素子 1 1 A への入力等に割り当てられた入出力用端子 7 A と内部素子 1 1 A との接続ラインに対して設けられ、大抵はその接続ラインと電源ライン 8 A, 9 A とに接続された一対の又は一組のダイオードやトランジスタ等の整流素子からなり、その入出力用端子 7 A に静電気等のサージノイズが乗ったときなどにそのサージノイズを高電源用端子 5 A や接地用端子 6 A へ逃がして内部素子 1 1 A を保護するようになっている。

【 0 0 0 7 】

また、繰り返しとなる詳細な説明は割愛するが、内部回路 4 B 側でも (図 7 参照)、電源ライン 8 A より低い正電圧印加用の電源ライン 8 B が低電源用端子 5 B から外部信号入出力回路 3 B を経由して内部回路 4 B に至り、それと対をなす接地用の電源ライン 9 B が接地用端子 6 B からやはり外部信号入出力回路 3 B を経由して内部回路 4 B に至り、これらが外部信号入出力回路 3 B 内の入力保護回路 3 B B と内部回路 4 B 内の内部素子 1 1 B, 1 2 B, 1 3 B に接続されるとともに、入出力用端子 7 B から内部素子 1 1 B に至る接続ラインが入力保護回路 3 B B に接続されている。これらの電源ラインの総て或いは少なくとも電源ライン 8 A と電源ライン 8 B は、保護回路等を介して間接的に接続されることはあっても、半導体集積回路装置 1 内で直接的・短絡的に接続されることは無いので、内部回路 4 A, 4 B は、電源ラインの異なる複数の内部回路となっている。

【 0 0 0 8 】

さらに (図 7 (b) 参照)、内部回路 4 A, 4 B 間でも信号を送受する場合、内部回路 4 A の出力素子 1 2 A と内部回路 4 B の入力素子 1 2 B とを接続する回路間信号配線 1 2 や、内部回路 4 B の出力素子 1 3 B と内部回路 4 A の入力素子 1 3 A とを接続する回路間信号配線 1 3 も、信号の送受に必要な本数だけ、内部回路 4 A, 4 B 間に亘って設けられる。

【 0 0 0 9 】

出力素子 1 2 A は、一個の又は複数個のトランジスタ等の能動素子からなり、

例えばCMOSインバータの場合（図8（a）参照）、ソースが電源ライン8Aに接続されドレインが回路間信号配線12に接続されゲートが内部回路4A内の内部信号配線SAに接続されたpMOSトランジスタ12APと、ソースが電源ライン9Aに接続されドレインが回路間信号配線12に接続されゲートが内部回路4A内の内部信号配線SAに接続されたnMOSトランジスタ12ANとを具えている。入力素子12Bも、同様にソースが電源ライン8B，9Bに接続された一対のpMOSトランジスタ12BPとnMOSトランジスタ12BNとを具えたものであるが、それらのゲートは回路間信号配線12に接続され、ドレインは内部回路4Bの内部信号配線SBに接続されている。

【0010】

入力素子13A及び出力素子13Bも、信号の送受方向が逆であるが、同様のトランジスタ対13AP，13AN及びトランジスタ対13BP，13BNからなり、ドレイン又はゲートが回路間信号配線13に接続されている。

このようなトランジスタ12AP，12AN，12BP，12BN，13AP，13AN，13BP，13BNは、何れも、回路間信号配線に接続された第1能動素子となっている。

【0011】

そして、このような回路を持った半導体集積回路装置1をシリコンウエハ等により作り込むには（図8（b）～（e）参照）、通常、各チップ毎に割り当てた内部回路4A，4Bの領域内に、能動素子用の微細な基本セルを縦横に等ピッチで繰り返し並べて配置する。例えばCMOSの基本セルは（図8（b）参照）、nMOS用セルとpMOS用セルとからなり、nMOS用セルは、p型サブストレート（p-Sub）に列島状に点在させられ、それぞれにn型半導体領域・ゲート酸化膜領域・n型半導体領域が形成されれば足りるが、図示のようにn型半導体領域・ゲート酸化膜領域・n型半導体領域・ゲート酸化膜領域・n型半導体領域を形成しておき、中央のn型半導体領域を共用することで2個のnMOSトランジスタを作り込めるようにすることも多い。

【0012】

また、pMOS用セルは、n型ウェル領域（n-Well）にやはり列島状に

点在させられて、nMOS用セルと一対一対応が採れるように配設されるのが、それぞれ、nMOS用セルにおけるn型半導体領域をp型半導体領域に置き換えたものとなっている。そして、各基本セルのゲート酸化膜領域上にはゲート及びその引出部となる金属等の孤立パターンが個々に形成され（図8（e）参照）、さらに、適宜の絶縁層等を介在させた上から、金属層等の導電体層のパターン形成によって、内部回路4Aの一連のpMOS用基本セル上には電源ライン8Aが形成され、内部回路4Aの一連のnMOS用基本セル上には電源ライン9Aが形成され、内部回路4Bの一連のpMOS用基本セル上には電源ライン8Bが形成され、内部回路4Bの一連のnMOS用基本セル上には電源ライン9Bが形成される（図8（c）参照）。

【0013】

こうして、半導体プロセスの前工程の途中までは、能動素子用の基本セルが同一構造又は同様構造で規則的に配置され、汎用性の高いウエハが出来上がる。

それから、アプリケーションに基づいて、具体的に能動素子の割り付けが決まると、例えば（図8（c）参照）内部回路4Aにおいて隣接する基本セルに対して第1能動素子12AP，12ANが割り付けられるとともに内部回路4Bにおいても隣接基本セルに対して第1能動素子12BP，12BNが割り付けられると、付随する必要な配線も次のようにほぼ一義的に定まる。

【0014】

すなわち（図8（d）参照）、該当する基本セルではセル中央にVIAホール等のコンタクトホール（図中の黒丸を参照）を形成することで、第1能動素子12AP，12AN，12BP，12BNのソースがそれぞれ電源ライン8A，9A，8B，9Bに接続され、内部回路4Aでは、内部信号配線SAが第1能動素子12APのゲートに接続されるとともに第1能動素子12AP，12ANのゲート同士も接続され、回路間信号配線12の一端が分岐してそれぞれ基本セル角部のところで第1能動素子12AP，12ANのドレインに接続される。

【0015】

また、回路間信号配線12の他端は内部回路4B内に延びて第1能動素子12BPのゲートに接続され、その内部回路4Bでは、第1能動素子12BP，12

BNのゲート同士が接続され、内部信号配線SBはその一端が分岐してそれぞれ基本セル角部のところで第1能動素子12BP、12BNのドレインに接続されるとともに合流して内部回路4B内の他の内部素子等に接続される。

こうして、ベースとなる半導体部分の汎用化・共通化が図れるとともに、その後決められる能動素子の割付とその上層等に形成される配線とを変えることで種々の回路が具体化されるので、種々のアプリケーションに対して迅速かつ的確に応えることができるのである。

【0016】

【従来の技術】

従来、このような半導体集積回路装置1では、静電破壊に対する対策として、上述の入力保護回路3AA、3BBに加えて、内部回路4A、4Bの両ブロック間にブロック間保護回路を設けることも行われてきた。かかるブロック間保護回路は、抵抗や、整流素子、ツェナーダイオード又は類似機能のトランジスタなどで構成され、供給される電源電圧の異なる電源ライン8A、8B、9A、9Bに対しても接続される。

そして、内部回路の微細化等に伴い内部素子の耐圧が弱くなると、内部素子よりは個数の少ない入力保護回路を大きくしたり、ブロック間保護回路を増やしたり更には大きくしたりして、静電破壊からの保護を強化していた。

【0017】

【発明が解決しようとする課題】

しかしながら、内部回路の微細化や高速化は止まることなく進むため、このような保護回路を増大させる従来の手法を繰り返すだけでは、最早、十分な保護は得られない。

素子の微細化等により、ゲート耐圧等の素子自体の耐力が低下するうえ、素子や配線等に付随・寄生するキャパシタンスは減少するのに対しインダクタンスは増大するため、サージノイズを伝搬・拡散させて緩和する能力等まで低下してしまうからである。

【0018】

このため、例えば、サージノイズが内部回路4Bに乗り、それによって内部回

路 4 A と内部回路 4 B との電位差が拡がると、内部回路 4 B 内では、回路間信号配線 1 2, 1 3 を介して内部回路 4 A の電位を伝えられている入力素子 1 2 B と出力素子 1 3 B のところ及びその近傍が、電位の急変化する局所となるが（図 9 (a) の二点鎖線等を参照）、そのような場合、従来であれば、入力素子 1 2 B 等が未だ耐えているうちにブロック間保護回路 4 c により内部回路 4 A, 4 B 間の電位差が緩和されて静電破壊を免れていたのに対し、耐圧が落ちたのに加えて緩和速度が低下した状況となつては（図 9 (b) の二点鎖線等を参照）静電破壊を免れるのは難しい。

【 0 0 1 9 】

また、そのような状況下では、例えば（図 9 (c) 参照）入出力用端子 7 B にサージノイズが乗ったような場合に、内部素子 1 1 B を保護する入力保護回路 3 B B の存在が、別の内部素子 1 2 B 等にとっては、裏目に出ることもある。サージノイズは入力保護回路 3 B B を介して電源ライン 8 B, 9 B に逃がされ、それから、低電源用端子 5 B, 接地用端子 6 B から外部へ放出されるとともに、内部回路 4 B 全体にも伝搬・拡散するが、その際（図 9 (c) の二点鎖線等を参照）、電源ライン 8 B を経て第 1 能動素子 1 2 B P に達する時間と、電源ライン 9 B を経て第 1 能動素子 1 2 B N に達する時間との差が無視できなくなり、それと回路間信号配線 1 2 との電位差の影響を集中的・局所的に受けた方の素子が破壊され易くなっているとも考えられるからである。

【 0 0 2 0 】

そこで、これらの知見・予見に基づいて新たな保護回路を案出することが技術的な課題となる。

もっとも、集積度の向上および回路規模の増大に伴い、設計の困難性は増す一方なので、新たな保護回路の導入に当たっては、その保護回路を具体化するときには自動設計の適用が困難になったり半導体プロセスの共通性・汎用性が損なわれたりすることの無いよう、さらなる工夫を加味することも重要である。

【 0 0 2 1 】

この発明は、このような課題を解決するためになされたものであり、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することを目的とす

る。

【 0 0 2 2 】

【課題を解決するための手段】

このような課題を解決するために発明された第 1 乃至第 9 の解決手段について、その構成および作用効果を以下に説明する。

【 0 0 2 3 】

[第 1 の解決手段]

第 1 の解決手段の半導体集積回路装置は（、出願当初の請求項 1 に記載の如く）、（正電圧用・負電圧用・高電圧用・低電圧用・接地用などの）電源ラインの異なる複数の内部回路と、（それらの内部回路間で信号を送受するため）それらの（うち少なくとも何れか一对の）内部回路に亘って設けられた回路間信号配線とを（ワンチップ内に）備えた半導体集積回路装置において、前記回路間信号配線の接続された（信号入力用・受信用の又は信号送出・送信用の）第 1 能動素子の近傍に、それを（直に若しくは間接的に）挟んだ又は囲んだ配置状態で、それと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線以外の信号配線から切り離された他の能動素子（即ち後述する第 2，第 3，第 4 能動素子の何れか又はそれらのように該当内部回路の電源ラインには接続されていても該当内部回路内の信号配線には接続されていない保護素子）が、（同種繰り返して又は異種混在して）複数設けられている、というものである。

【 0 0 2 4 】

このような第 1 の解決手段の半導体集積回路装置にあっては、サージノイズ等の無い通常状態では、新たに導入された他の能動素子は内部回路内の信号配線に接続されていないので、それによって第 1 能動素子や他の内部素子の適性動作が妨げられることは無い。これに対し、サージノイズが外部接続端子に乗って電源ラインにも伝播し、しかも第 1 能動素子に達するまでの時間が電源ライン間でばらついたようなときには、ノイズ到達時刻の早い方の電源ラインから他の能動素子を介して遅い方の電源ラインにサージノイズの一部が直ちに迂回させられる。それも、第 1 能動素子の両側や周囲等の複数箇所で行われる。

【 0 0 2 5 】

これにより、第 1 能動素子およびその近傍では、サージノイズによる電位変動が局所的ではあっても分散されるので、電位分布の傾斜が緩和されてそのピークが低く抑えられることとなる。しかも周りの複数点・多点でバランスを採るような感じで出来るだけ一様に分散・緩和がなされることとなる。

また、回路間信号配線の電位との電圧差を分担する箇所についても、第 1 能動素子において早い方の電源ラインに接続された部位だけでなく遅い方の電源ラインに接続された部位が速やかに加わって分散がなされることから、回路間信号配線の影響力も分散されるので、この点からも、電位差のピークが低く抑えられることとなる。

【 0 0 2 6 】

さらに、新たに保護素子して導入された他の能動素子は、第 1 能動素子と同一構造・同様構造のものなので、その周辺等に列設・配設されている基本セルから適宜のものを選出するとともに、近くの電源ライン等と接続させることによって、第 1 能動素子等の内部素子と同様の手順で具体化されるので、自動設計との相性も良く半導体プロセスの共通性・汎用性も従来同様維持される。

したがって、この発明によれば、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【 0 0 2 7 】

〔第 2 の解決手段〕

第 2 の解決手段の半導体集積回路装置は（、出願当初の請求項 2 に記載の如く）、（正電圧用・負電圧用・高電圧用・低電圧用・接地用などの）電源ラインの異なる複数の内部回路と、（それらの内部回路間で信号を送受するため）それらの（うち少なくとも何れか一对の）内部回路に亘って設けられた回路間信号配線とを（ワンチップ内に）備えた半導体集積回路装置において、前記回路間信号配線の接続された（信号入力用・受信用の又は信号送出・送信用の）第 1 能動素子の近傍に、それと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線および他の信号配線から切り離された（即ち自己以外の能動素子によって駆動される何れの信号配線にも直接接続されていない

い保護用の) 第2能動素子が、設けられている、というものである。

【0028】

このような第2の解決手段の半導体集積回路装置にあっては、新たに導入された第2能動素子は、上述した他の能動素子のように、内部回路内の信号配線にも回路間信号配線にも接続されていないので通常状態では第1能動素子等の適性動作を妨げることが無いのに対し、サージノイズの到達時刻が電源ライン間でばらつくような異常状態では、早い方の電源ラインから遅い方へそのノイズの一部を直ちに迂回させる。これにより、その近傍で、サージノイズによる電位変動が分散されてそのピークが低く抑えられるとともに、回路間信号配線の影響力を分担する箇所についても各電源ラインとの接続部位への分散がなされて更に電位差のピークが低く抑えられることとなる。

【0029】

また、新たに保護素子して導入された第2能動素子は、上述した他の能動素子のように、第1能動素子等の内部素子と同様の手順で具体化される。しかも、該当内部回路に供給される電源電圧が回路間信号配線の先に存在する他の内部回路に供給される電源電圧より高いか低いかに関わらず導入可能なので、気楽に設置でき、適用範囲も広い。

したがって、この発明によれば、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【0030】

〔第3の解決手段〕

第3の解決手段の半導体集積回路装置は（、出願当初の請求項3に記載の如く）、上記の第2の解決手段の半導体集積回路装置であって、前記第1能動素子の近傍に、それと同一構造の又は同様構造のものであって該当内部回路の電源ライン及び前記回路間信号配線に接続され他の信号配線から切り離された（即ち自己以外の能動素子によって駆動される信号配線のうち前記回路間信号配線を除けば何れの信号配線にも直接接続されていない保護用の）第3能動素子も、設けられている、というものである。

【0031】

このような第 3 の解決手段の半導体集積回路装置にあっては、第 3 能動素子は、回路間信号配線に接続されていても電源電圧の高低等をも考慮して通常状態では信号伝送を妨げる可能性の無いところにだけ導入され、その可能性の有るところには第 2 能動素子が設けられる。そして、上述したようなサージノイズに対しては、第 2 能動素子による上述の保護が得られるのに加えて、第 3 能動素子によって、回路間信号配線の影響力が、ノイズの向き等にもよるが、より積極的に分散されるので、電位差のピークが更に低く抑えられることとなる。また、新たに保護素子として導入された第 3 能動素子も、上述した第 1, 第 2 能動素子と同様の手順で具体化される。

したがって、この発明によれば、静電破壊に一層強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【 0 0 3 2 】

[第 4 の解決手段]

第 4 の解決手段の半導体集積回路装置は（、出願当初の請求項 4 に記載の如く）、上記の第 3 の解決手段の半導体集積回路装置であって、前記複数の内部回路のうち（少なくとも）何れか一对のものに対して、送受方向を異にする前記回路間信号配線が複数設けられるとともに、前記一对の内部回路のうち一方の回路（すなわち相対的に低い電源電圧の供給される内部回路）における前記回路間信号配線の受側の（即ち信号入力用・受信用の）第 1 能動素子の近傍には、前記第 2 能動素子と前記第 3 能動素子とが設けられ、前記一对の内部回路のうち他方の回路（すなわち相対的に高い電源電圧の供給される内部回路）における前記回路間信号配線の受側の（即ち信号入力用・受信用の）第 1 能動素子の近傍には、前記第 2 能動素子に代えて又はそれを省いて（即ち前記第 2 能動素子は設けられないで）前記第 3 能動素子が（望ましくは複数）設けられている、というものである。

【 0 0 3 3 】

このような第 4 の解決手段の半導体集積回路装置にあっては、回路間信号配線の信号値等によっては回路間信号配線の電圧の方が該当箇所の電源ラインの電圧より高くなり得る等のために回路間信号配線と電源ラインとの双方に能動素子を

接続させることに制約が伴う箇所（かかる箇所としては相対的に低い電源電圧の供給される方の内部回路における回路間信号配線の受側すなわち入力素子が典型的なところ）には第2，第3能動素子が適宜組み合わせで設けられる一方、そのような制約の無い箇所であって回路間信号配線の影響に対して弱いところ（かかる箇所としては相対的に高い電源電圧の供給される方の内部回路における回路間信号配線の受側すなわち入力素子が典型的なところ）には第3能動素子が少なくとも一個なるべく多く設けられる。

【0034】

これにより、回路間信号配線の影響に対して弱いところでは、回路間信号配線の影響力を積極的に分散させる第3能動素子による保護が優先的に適用され、ここでは、電位差のピークがより一層低く抑えられることとなる。

したがって、この発明によれば、静電破壊に対してより一層強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【0035】

[第5の解決手段]

第5の解決手段の半導体集積回路装置は（、出願当初の請求項5に記載の如く）、（正電圧用・負電圧用・高電圧用・低電圧用・接地用などの）電源ラインの異なる複数の内部回路と、（それらの内部回路間で信号を送受するため）それらの（うち少なくとも何れか一对の）内部回路に亘って設けられた回路間信号配線とを（ワンチップ内に）備えた半導体集積回路装置において、前記回路間信号配線の接続箇所の近傍における静的箇所（すなわち何れの信号配線にも直接接続がなされていない所など通常の動作状態では電氣的状態が動的に変化することの無い箇所）に接続され（望ましくは前記回路間信号配線に並走するようにされ）た回路間補助配線が、設けられている、というものである。

【0036】

このような第5の解決手段の半導体集積回路装置にあっては、回路間補助配線が新たに導入されているが、これは通常の動作状態で電氣的状態が動的に変化するようなところには接続されていないので、サージノイズ等の無い通常状態では、第1能動素子や他の内部素子の適性動作を妨げることがない。これに対し、サ

ージノイズが何れかの外部接続端子に乗って一方の内部回路にだけ伝わり、それによって他方の内部回路との電位差が拡がって、他方の内部回路と回路間信号配線で繋がれている一方の内部回路内の第 1 能動素子のところの電位が局所的に急変したようなときには、回路間補助配線の存在によって、その第 1 能動素子の近傍点にも似たような電位変化が引き起こされる。そして、この電位変化がその第 1 能動素子にも伝わると、その第 1 能動素子全体の電位も回路間信号配線接続部位の急変電位と同じ方へ或る程度動くので、第 1 能動素子において回路間信号配線に接続されている部位とそうでない部位との電位差が、その分だけ相殺される。

【 0 0 3 7 】

これにより、回路間信号配線に起因して第 1 能動素子のところに生じた局所的な電位変動が、回路間補助配線にてその近傍にも生じさせられた別の似た局所的な電位変動によって直ちに追随されることから、第 1 能動素子において発生する電位差のピークが低く抑えられるので、第 1 能動素子は静電破壊を免れる可能性が増すこととなる。

また、新たに導入された回路間補助配線や静的箇所への接続等は、配線パターンの追加変更等で実現可能であり、基本セルやその他の半導体層における構造まで変える必要は無い。

したがって、この発明によれば、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【 0 0 3 8 】

〔第 6 の解決手段〕

第 6 の解決手段の半導体集積回路装置は（、出願当初の請求項 6 に記載の如く）、上記の第 5 の解決手段の半導体集積回路装置であって、（前記回路間補助配線の接続されている幾つかの）前記静的箇所に、前記回路間信号配線の接続された第 1 能動素子のうち送側の（即ち信号出力用・送信用の）能動素子において該当内部回路の電源ラインに接続された部分領域と、前記第 1 能動素子のうち受側の（即ち信号入力用・受信用の）ものと同一構造の又は同様構造のものであってその近傍に設けられ（電源ラインとの接続は別として）前記回路間補助配線以外

の信号配線から切り離された（即ち自己以外の能動素子によって駆動される何れの信号配線にも直接接続されていない保護用の）第 4 の能動素子との双方が含まれている、というものである。

【 0 0 3 9 】

このような第 6 の解決手段の半導体集積回路装置にあっては、第 4 能動素子は、回路間補助配線に接続されていても電源電圧の高低等をも考慮して通常状態では異電源の短絡等を生じ無いところにだけ導入されるが、第 4 能動素子が設けられているとその近傍の第 1 能動素子に生じた局所的な電位変動は、回路間補助配線による似た電位変動によって追隨されるに止まらず、第 4 能動素子および回路間補助配線を介して積極的に逃がされることとなる。

【 0 0 4 0 】

これにより、相対的に弱い受側の方に生じた回路間信号配線の影響が相対的に強い送側の方へ分散されるので、第 1 能動素子が静電破壊を免れる可能性は更に増すこととなる。

また、新たに保護素子して導入された第 4 能動素子も、上述した第 1 ～第 3 能動素子等と同様の手順で具体化される。

したがって、この発明によれば、静電破壊に一層強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【 0 0 4 1 】

〔第 7 の解決手段〕

第 7 の解決手段の半導体集積回路装置は（、出願当初の請求項 7 に記載の如く）、上記の第 6 の解決手段の半導体集積回路装置であって、前記部分領域に代えて、そこに接続されている該当電源ラインにおいて前記部分領域に重なる又は近接している近傍領域に対して、前記回路間補助配線が接続されている、というものである。

【 0 0 4 2 】

このような第 7 の解決手段の半導体集積回路装置にあっては、回路間補助配線の接続箇所が、近いので機能的には同等となるような別のところに移されている。

これにより、配線設計時の選択の幅が広がって、制約が緩和されるので、その分だけ設計が楽になる。

したがって、この発明によれば、静電破壊に一層強く而も自動設計等にも一層適する半導体集積回路装置を実現することができる。

【 0 0 4 3 】

[第 8 の解決手段]

第 8 の解決手段の半導体集積回路装置は（、出願当初の請求項 8 に記載の如く）、上記の第 6，第 7 の解決手段の半導体集積回路装置であって、前記複数の内部回路のうち（少なくとも）何れか一对のものに対して、送受方向を異にする前記回路間信号配線が複数設けられるとともに、前記一对の内部回路のうち一方の回路（すなわち相対的に低い電源電圧の供給される内部回路）における前記回路間信号配線の受側の（即ち信号入力用・受信用の）第 1 能動素子の近傍には、前記第 4 能動素子に加えてそれと同一構造の又は同様構造のものであって該当内部回路の電源ラインに接続され前記回路間信号配線その他の信号配線および前記回路間補助配線から切り離された（即ち自己以外の能動素子によって駆動される何れの信号配線にも直接接続されていない）第 2 能動素子も設けられ、前記一对の内部回路のうち他方の回路（すなわち相対的に高い電源電圧の供給される内部回路）における前記回路間信号配線の受側の（即ち信号入力用・受信用の）第 1 能動素子の近傍には、前記第 2 能動素子に代えて又はそれを省いて（即ち前記第 2 能動素子は設けられないで）前記第 4 能動素子が（望ましくは複数）設けられている、というものである。

【 0 0 4 4 】

このような第 8 の解決手段の半導体集積回路装置にあっては、回路間補助配線と電源ラインとの双方に能動素子を接続させることに制約が伴う箇所であって回路間信号配線の影響に対して弱いところ（かかる箇所としては相対的に低い電源電圧の供給される方の内部回路における回路間信号配線の受側すなわち入力素子が典型的なところ）には第 2，第 4 能動素子が適宜組み合わせて設けられる一方、そのような制約の無い箇所であって回路間信号配線の影響に対して弱いところ（かかる箇所としては相対的に高い電源電圧の供給される方の内部回路における

回路間信号配線の受側すなわち入力素子が典型的なところ) には第 4 能動素子になるべく多く設けられる。

【0 0 4 5】

これにより、回路間信号配線の影響に弱いところでは、回路間信号配線の影響力を積極的に分散させる第 4 能動素子による保護が優先的に適用され、そこでは、電位差のピークがより一層低く抑えられることとなる。

したがって、この発明によれば、静電破壊に対してより一層強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【0 0 4 6】

〔第 9 の解決手段〕

第 9 の解決手段の半導体集積回路装置は（、出願当初の請求項 9 に記載の如く）、上記の第 2 ～第 8 の解決手段の半導体集積回路装置であって、前記第 2，第 3，第 4 能動素子の何れかに該当するもの又はそれに相当する能動素子（すなわち第 1 能動素子の近傍に設けられ該当内部回路の電源ラインには接続されているも該当内部回路内の信号配線には接続されていない保護素子）が、前記第 1 能動素子またはそれに相当する能動素子を（直に若しくは間接的に）挟んだ又は囲んだ配置状態で、（同種繰り返して又は異種混在して）複数設けられている、というものである。

【0 0 4 7】

このような第 9 の解決手段の半導体集積回路装置にあつては、サージノイズの迂回や分散が第 1 能動素子の両側や周囲等の複数箇所で行われるので、複数点・多点でバランスを採るような感じで可成り一様に緩和がなされることとなる。

これにより、保護素子が一個や第 1 能動素子の片側だけに設けられている場合よりも、第 1 能動素子に対する保護が強化されることとなる。

したがって、この発明によれば、静電破壊に更に強く而も自動設計等にも適する半導体集積回路装置を実現することができる。

【0 0 4 8】

【発明の実施の形態】

このような解決手段で達成された本発明の半導体集積回路装置について、これ

を実施するための具体的な形態を、以下の第 1 ～第 6 実施例により説明する。

図 1 に示した第 1 実施例は、上述した第 1，第 2，第 9 の解決手段を具現化したものであり、図 2 の第 2 実施例は、上述した第 1，第 3，第 9 の解決手段を具現化したものであり、図 3 の第 3 実施例は、上述した第 1，第 4，第 9 の解決手段を具現化したものである。

また、図 4 の第 4 実施例は、上述した第 1，第 5，第 6，第 9 の解決手段を具現化したものであり、図 5 の第 5 実施例は、上述した第 1，第 5，第 7，第 9 の解決手段を具現化したものであり、図 6 の第 6 実施例は、上述した第 1，第 8，第 9 の解決手段を具現化したものである。

なお、背景の技術の欄で既述したことは各実施例についても同様になりたつので、繰り返しとなる説明は割愛し、以下、従来との相違点を中心に説明する。

【0049】

【第 1 実施例】

本発明の半導体集積回路装置の第 1 実施例について、その具体的な構成を、図面を引用して説明する。図 1 は、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図、(c) が、基本単位となる半導体領域およびゲートの縦断面斜視図である。

【0050】

この半導体集積回路装置は、電源ライン 8 A，9 A を持った内部回路 4 A 及び電源ライン 8 B，9 B を持った内部回路 4 B という電源ラインの異なる複数の内部回路と、それらの内部回路 4 A，4 B に亘って設けられた回路間信号配線 1 2 と、内部回路 4 A 内で回路間信号配線 1 2 信号の送側に接続された出力素子 1 2 A と、内部回路 4 B 内で回路間信号配線 1 2 信号の受側に接続された入力素子 1 2 B とを具えており、pMOS トランジスタ 1 2 A P，1 2 B P，nMOS トランジスタ 1 2 A N，1 2 B N の 4 個を第 1 能動素子としている点で、既述の半導体集積回路装置 1 と一致するが、次のものがその第 1 能動素子の近傍に付加されている点で相違するものとなっている。

【0051】

すなわち、第 1 能動素子 1 2 A P の割り付けられた基本セルに関しては、その

左側の基本セルに pMOS トランジスタ 21 が割り付けられるとともに、右側の基本セルにも pMOS トランジスタ 23 が割り付けられている。また、第 1 能動素子 12AN の割り付けられた基本セルに関しては、その左側の基本セルに nMOS トランジスタ 22 が割り付けられるとともに、右側の基本セルにも nMOS トランジスタ 24 が割り付けられている。同様に、第 1 能動素子 12BP の割り付けられた基本セルに関して左側の基本セルに pMOS トランジスタ 25 が割り付けられ右側の基本セルに pMOS トランジスタ 27 が割り付けられるとともに、第 1 能動素子 12BN の割り付けられた基本セルに関してもその左側の基本セルに nMOS トランジスタ 26 が割り付けられ右側の基本セルにも nMOS トランジスタ 28 が割り付けられている。

【0052】

これらのトランジスタのうち、pMOS トランジスタ 21, 23 は、ソース及びゲートが電源ライン 8A に接続されドレインが電源ライン 9A に接続される。また、nMOS トランジスタ 22, 24 は、ソース及びゲートが電源ライン 9A に接続されドレインが電源ライン 8A に接続される。同様に、pMOS トランジスタ 25, 27 は、ソース及びゲートが電源ライン 8B に接続されドレインが電源ライン 9B に接続され、nMOS トランジスタ 26, 28 は、ソース及びゲートが電源ライン 9B に接続されドレインが電源ライン 8B に接続されている。

【0053】

このような複数の MOS トランジスタ 21 ~ 28 は、何れも、第 1 能動素子を左右から挟む配置状態でその近傍に設けられており、第 1 能動素子と同様の pMOS・nMOS 構造のものであって、該当内部回路 4A, 4B の電源ライン 8A, 9A, 9B, 9B にだけは接続されているが、回路間信号配線 12 や他の信号配線には接続されておらず、第 1 能動素子を周りから保護するための第 2 能動素子となっている。しかも、その割付や配線パターンは、自動配線用の設計ツールに対して局所的なライブラリセルを追加しておいて、それを第 1 能動素子ごとに指定するか、あるいは回路間信号配線の発生に応じて自動指定もなされるようにする等のことで、容易に自動処理される。

【0054】

この第1実施例の半導体集積回路装置について、その使用時の動作等を説明する。

【0055】

MOSトランジスタ21～28は、電源ライン対8A+9A，8B+9B間に接続されているが、ソースとゲートとが接続されているので、通常の動作状態では、導通することが無く、電源電圧に対してばかりか、回路間信号配線12や出力素子12A，入力素子12Bの動作にも影響することが無い。

【0056】

もっとも、能動素子であるから、pn接合等の能動領域には微小ではあるが寄生キャパシタンスを持っており、瞬間的なノイズ等は双方向に流すことが或る程度までは可能である。さらに、この例の基本セルに設けられた能動素子の場合（例えば図1（c）のnMOSトランジスタ22を参照）、ドレインが異常に負側へ振れようとする導通して働き出す寄生ダイオード（22d）や、ドレインが異常に大きく正側へ跳ねたときに導通して働き出す寄生トランジスタ（22t）の存在も認められる。

【0057】

そして、内部回路4Bにサージノイズが乗り、それが先ず電源ライン8Bを伝わって入力素子12Bに達したが、電源ライン9Bからは未だであるとする、pMOSトランジスタ12BPはそのソースが電源ライン8Bに接続されており而もそのゲートは回路間信号配線12によってノイズの無い内部回路4A側の電位に規制されているので、pMOSトランジスタ12BPのソース対ゲート間に電位差が集中して発現し、そのゲート酸化膜が静電破壊の危機に曝される。

【0058】

ところが、電源ライン8B上のサージノイズは、pMOSトランジスタ12BPのソースに達するのとほぼ同時にその直ぐ近くのMOSトランジスタ25～28にも到達する。そして、それらの寄生キャパシタンスを介して、さらにノイズ状態によっては寄生ダイオード22dや寄生トランジスタ22tをも介してより積極的に、電源ライン9Bへ逃がされる。

こうして、pMOSトランジスタ12BPのソースに流れ込むサージ電流が分

散され少し減少する。

【0059】

電源ライン9Bへ流れたサージノイズは、直ちにnMOSトランジスタ12BNのソースにも伝わるので、nMOSトランジスタ12BNのソース対ゲート間にも電位差が発現し、これによって、回路間信号配線12内において入力素子12B寄りに存在していた電荷が、トランジスタ12BP, 12BNのゲートに2分される。

こうして、瞬間的に、ゲート酸化膜に対する静電破壊の虞れが一層緩和される。

【0060】

さらに、MOSトランジスタ25～28に流れ込んだサージ電流によって、それらの設置範囲内のバックゲート等（すなわちサブストレートやウェルにおける該当範囲の領域）の電位も一緒に持ち上げられたり引き下げられたりするので、それに伴ってトランジスタ12BP, 12BNのドレインの電位も或る程度までソースと同じ方向に変化させられる。そして、これによっても、トランジスタ12BP, 12BNそれぞれにおいてソース側に片寄ろうとしていた回路間信号配線12内の電荷が、ドレイン側にも分散される。

【0061】

こうして、電源ライン8Bを介して入力素子12Bに素早く到達したサージノイズは周囲のMOSトランジスタ25～28によってその辺りへ速やかに分散せられることとなる。そして、そうこうするうちに、電源ライン9Bからもサージノイズが到達するとともに、回路間信号配線12を介して行われる規制も内部回路4A側から補充されるが、これらの遅れて来たノイズ等は、途中でピークが潰れてしまっていることから、ゲート酸化膜を静電破壊させる虞れは相対的には弱いので、先に到達するサージノイズに対する分散・緩和によって、入力素子12Bの静電破壊は、より確実に防止・抑止されることとなる。

【0062】

なお、繰り返しとなる詳細な説明は割愛するが、他の電源ライン9B, 8A, 9A上を真っ先に伝搬するサージノイズに対しても、ほぼ同様にして、入力素子

1 2 B や出力素子 1 2 A の静電破壊が、より確実に防止・抑止されることとなる。

【 0 0 6 3 】

【第 2 実施例】

本発明の半導体集積回路装置の第 2 実施例について、その具体的な構成を、図面を引用して説明する。図 2 は、（a）が要部の詳細回路図、（b）が該当領域のレイアウト図である。

【 0 0 6 4 】

この半導体集積回路装置が上述した第 1 実施例のと相違するのは、内部回路 4 A においては出力素子 1 2 A の周囲から MOS トランジスタ 2 1 ～ 2 4 が省かれている点と、内部回路 4 B においては nMOS トランジスタ 2 6, 2 8 のドレインの接続先が電源ライン 8 B から回路間信号配線 1 2 に代えられている点である。

【 0 0 6 5 】

これにより、pMOS トランジスタ 2 5, 2 7 は第 1 能動素子 1 2 B P を左右から保護する第 2 能動素子のままであるのに対し、nMOS トランジスタ 2 6, 2 8 は、第 1 能動素子 1 2 B N を左右から挟む配置状態でその近傍に設けられ、その第 1 能動素子 1 2 B N と同様の nMOS 構造のものであって、該当内部回路 4 B の電源ライン 8 B, 9 B 及び回路間信号配線 1 2 には接続されているが、その他の信号配線には接続されておらず、第 1 能動素子 1 2 B N を周りから保護するための第 3 能動素子となっている。

【 0 0 6 6 】

この場合、nMOS トランジスタ 2 6, 2 8 は、回路間信号配線 1 2 上の信号の立ち上がり立ち下がりをも多少鈍らせることはあっても、回路間信号配線 1 2 の電圧と電源ライン 9 B の電圧とが逆転したり異常に離れたりしない限り導通することは無いので、内部回路 4 A, 4 B の適正な動作を損ねることも無い。

【 0 0 6 7 】

そして、電源ライン 9 B よりも先に電源ライン 8 B を伝わって入力素子 1 2 B にサージノイズが達すると、そのサージノイズは、上述したのと同様にして pM

OSトランジスタ25, 27により近傍の電源ライン9B等へ分散・緩和されるが、この場合、それに加えて、第3能動素子26, 28は、電源ライン9Bと回路間信号配線12との電位差が逆転したり異常に離れたりするとダイオード的動作やパンチスルー的動作によって導通し、実電流を伴ってそのサージノイズを電源ライン9Bから回路間信号配線12へ逃がす。

【0068】

こうして、第1実施例のときよりも、積極的に回路間信号配線12と電源ライン9B, 8Bとの電位差の拡大が抑制されて、第1能動素子12BP, 12BNにおけるゲート対ソース及びドレイン間の電位差ピークが強く抑えられるので、入力素子12Bのゲート酸化膜に対する静電破壊の虞れが十分に緩和される。

【0069】

なお、回路間信号配線12にサージノイズが流れ込んだ影響は内部回路4Aの第1能動素子12AP, 12ANにも及ぶが、それらの第1能動素子に対しては回路間信号配線12がゲートで無くドレインに接続されているに加えて、回路間信号配線12の寄生インダクタンスによるサージノイズの潰れもあって、出力素子12Aが静電破壊される可能性は低い。かかる観点から、MOSトランジスタ21~24が省かれており、保護の効率と素子数の増加とのトレードオフも図られている。

【0070】

【第3実施例】

本発明の半導体集積回路装置の第3実施例について、その具体的な構成を、図面を引用して説明する。図3は、要部の詳細回路図である。

【0071】

この半導体集積回路装置が上述した第2実施例のと相違するのは、送受方向が回路間信号配線12と反対の回路間信号配線13も明示的に設けられている点と、この回路間信号配線13にも類似の保護対策が採られている点である。

【0072】

すなわち、回路間信号配線12に関してはその送側の出力素子12Aには保護素子を付加せず回路間信号配線12の受側に当たる入力素子12Bの周囲には保

護素子として第2能動素子25, 27と第3能動素子26, 28とを混在して設けているのに対し、回路間信号配線13に関してはその送側の出力素子13Bには保護素子を付加せず回路間信号配線13の受側に当たる入力素子13Aの周囲には保護素子として4個のMOSトランジスタ31~34を配設している。

【0073】

それらのうち、トランジスタ31, 33は、第1能動素子13APと同じ構造のpMOSトランジスタであって第1能動素子13APの左右に分かれて設けられている。また、トランジスタ32, 34は、第1能動素子13ANと同じ構造のnMOSトランジスタであって第1能動素子13ANの左右に分かれて設けられている。また、これらのトランジスタ31~34は、何れも、ソース及びゲートが該当内部回路4Aの電源ライン8Aに接続され、ドレインが回路間信号配線13に接続されているが、その他の信号配線には接続されておらず、第1能動素子13AP, 13ANを周りから保護するための第3能動素子となっている。これにより、この半導体集積回路装置は、回路間信号配線13の受側の第1能動素子13Aの近傍に第2能動素子が無くて第3能動素子だけが複数設けられたものとなっている。

【0074】

この場合、回路間信号配線12に関しては上述したのと同様にして保護がなされる。また、回路間信号配線13に関しても、nMOSトランジスタ32, 34は、上述したnMOSトランジスタ26, 28と同様に、回路間信号配線13の電圧と電源ライン9Aの電圧とが逆転したり異常に離れたりしない限り導通することはない。また、pMOSトランジスタ31, 33も、通常状態では電源ライン8Aの電圧の方が電源ライン8Bの駆動による回路間信号配線13の最高電圧より高いので、やはり、回路間信号配線13上の信号の立ち上がり立ち下がりを多少鈍らせることはあっても、回路間信号配線13の電圧と電源ライン8Aの電圧とが逆転したり異常に離れたりしない限り導通することはない。そこで、こちらに関しても、内部回路4A, 4Bの適正な動作は維持される。

【0075】

そして、回路間信号配線13に関しては、入力素子13Aが周囲の4個総ての

付加トランジスタ 31～34 によって積極的に保護されるので、回路間信号配線 12 についての保護以上の強い保護が得られる。

こうして、図 9 (c) に示した状況のサージノイズ等に対し、回路規模の増大をなるべく抑えながらも適切に、それに起因する静電破壊を防止することができる。

【0076】

【第 4 実施例】

本発明の半導体集積回路装置の第 4 実施例について、その具体的な構成を、図面を引用して説明する。図 4 は、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図である。

【0077】

この半導体集積回路装置が上述した図 2 の第 2 実施例と相違するのは、回路間補助配線 29 が導入されたことである。

回路間補助配線 29 は、回路間信号配線 12 毎に設けられ、伝搬遅延時間等の伝送状態を出来るだけ一致させるために回路間信号配線 12 と平行な部分が多くなるよう沿わせた状態で引き回されていて、回路間信号配線 12 に並走したものとなっている。

【0078】

その回路間信号配線 13 の一端は、内部回路 4A 内で、pMOS トランジスタ 12AP のソースに直接接続される (図 4 (b) 参照)。このソース領域は、回路間信号配線 12 の接続された第 1 能動素子のうち送側の能動素子 12AP において該当内部回路 4A の電源ライン 8A に接続された部分領域であり、回路間信号配線の接続箇所の近傍における静的箇所といえる。

【0079】

また、回路間補助配線 29 の導入に伴って、nMOS トランジスタ 26, 28 のドレインの接続先が回路間信号配線 12 から回路間補助配線 29 に代えられている。すなわち、回路間信号配線 13 はその他端側が内部回路 4B 内でトランジスタ 26, 28 に接続される。これにより、トランジスタ 26, 28 は、第 1 能動素子 12BN のうち受側のものと同一構造の又は同様構造のものであってその

近傍に設けられ回路間補助配線 2 9 以外の信号配線から切り離された第 4 能動素子となっており、これも静的箇所といえる。

【 0 0 8 0 】

さらに、回路間補助配線 2 9 の導入に伴い、内部回路 4 A 内には、図 1 の第 1 実施例で述べた p M O S トランジスタ 2 1 及び n M O S トランジスタ 2 2 が復活している。これらは、第 1 実施例のと同様の接続がなされており、入力素子 1 2 B の近傍に設けられた第 2 能動素子となっている。

【 0 0 8 1 】

この場合、回路間補助配線 2 9 及び n M O S トランジスタ 2 6, 2 8 は、何れも、内部回路 4 A, 4 B 内の信号配線には接続されていないうえ、n M O S トランジスタ 2 6, 2 8 は、電源ライン 8 A の電圧と電源ライン 9 B の電圧とが逆転したり異常に離れたりしない限り導通することは無いので、回路間補助配線 2 9 の導入等によって内部回路 4 A, 4 B の適正な動作が損なわれることは無い。また、回路間信号配線 1 2 から n M O S トランジスタ 2 6, 2 8 等が切り離されているので、回路間信号配線 1 2 上の信号が鈍るといったことも無いので、性能面でも好ましく、アプリケーションの動作条件に高速性が要求されるような場合でも容易に適用することができる。

【 0 0 8 2 】

そして、上述したように電源ライン 8 B, 9 B で遅速のあるサージノイズに対しては第 2 能動素子 2 5, 2 7 による分散・緩和が働くとともに、入力素子 1 2 B 近傍に分散したサージノイズや、内部回路 4 B 内で入力素子 1 2 B 一帯を纏めて電位変化させるようなサージノイズがあると、これに対しては、次のようにして、回路間補助配線 2 9 等が働く。

【 0 0 8 3 】

すなわち、異常に変動した第 1 能動素子 1 2 B N 近傍の電位は、第 4 能動素子 2 6, 2 8 と回路間補助配線 2 9 とを介して内部回路 4 A 内の第 1 能動素子 1 2 A P のソースへ伝えられその寄生容量等にてそのドレインにも伝搬する。すると、そのドレインには回路間信号配線 1 2 が接続されているので、電位変動は、減衰しながらも、第 1 能動素子 1 2 B N, 1 2 B P のゲートに戻ってくる。

こうして、サージノイズに起因する入力素子 1 2 B のゲート対ソース間の電位差が縮小・緩和される。

【0 0 8 4】

また、内部回路 4 A 内の第 2 能動素子 2 1, 2 2 は、内部回路 4 A 側に直接乗ったサージノイズを第 2 能動素子 2 5, 2 7 と同様にして緩和することに加えて、上記のように回路間補助配線 2 9 によって第 1 能動素子 1 2 A P のソースに引き起こされた二次的な電位変動に対しても、それを出力素子 1 2 A の近傍に分散させることで、直接的には出力素子 1 2 A を保護するとともに、間接的には入力素子 1 2 B も保護する。

【0 0 8 5】

なお、内部回路 4 A において第 1 能動素子 1 2 A の近傍に設ける第 2 能動素子は、保護能力の観点からは多いほど良いが、アプリケーションに直接寄与するものではないので、回路規模の増大を抑制する観点とのトレードオフを図るべく、上記 2 個だけとなっている。

こうして、図 9 (c) はもちろん図 9 (a), (b) に示した状況のサージノイズに対しても、回路規模の増大をできるだけ抑えながら、適切に、それらに起因する静電破壊を防止することができる。

【0 0 8 6】

【第 5 実施例】

本発明の半導体集積回路装置の第 5 実施例について、その具体的な構成を、図面を引用して説明する。図 5 は、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図である。

この半導体集積回路装置が上述した図 4 の第 4 実施例と相違するのは、回路間補助配線 2 9 の入力素子 1 2 B 側端部が第 1 能動素子 1 2 A P のソースから電源ライン 8 A に代えられていることである。

【0 0 8 7】

もっとも、その接続箇所は、電源ライン 8 A のうち、先ず第 1 能動素子である p M O S トランジスタ 1 2 A P のソース領域の上層部分を選出され (図 5 (b) 参照)、それが無理な場合には、p M O S トランジスタ 1 2 A P の占めている領

域の上層部分についてその何れかの部位が選出され、それも無理なときだけ、p MOSトランジスタ 1 2 A P の割り付けられている基本セル領域の上層部分についてその何れかの部位が選出される。こうして選出された回路間補助配線 2 9 の接続箇所は、該当電源ライン 8 A においてソース領域（部分領域）に重なる又は近接している近傍領域に収まっている。

【0 0 8 8】

この場合、p MOSトランジスタ 1 2 A P のソースも電源ライン 8 A に接続されており、しかも、大抵の場合、p MOSトランジスタ 1 2 A P のソース領域と電源ライン 8 A とが重なるか極めて近接したところで接続されているので、回路間補助配線 2 9 と第 1 能動素子 1 2 A P との間でのサージノイズの伝搬等に関しても、回路間補助配線 2 9 が第 1 能動素子 1 2 A P のソースに直接接続されている上記第 4 実施例の場合とほとんど同じになる。

【0 0 8 9】

【第 6 実施例】

本発明の半導体集積回路装置の第 6 実施例について、その具体的な構成を、図面を引用して説明する。図 6 は、要部の詳細回路図である。

【0 0 9 0】

この半導体集積回路装置が上述した第 5 実施例のと相違するのは、送受方向が回路間信号配線 1 2 と反対の回路間信号配線 1 3 も明示的に設けられている点と、この回路間信号配線 1 3 にも回路間補助配線 3 9 など類似の保護対策が採られている点である。

【0 0 9 1】

すなわち、回路間信号配線 1 3 の送側に当たる内部回路 4 B 内の出力素子 1 3 B のうち第 1 能動素子 1 3 B P のソースから回路間補助配線 3 9 が回路間信号配線 1 3 に沿うようにして内部回路 4 A まで延びている。また、その内部回路 4 B 内で、第 1 能動素子 1 3 B P、1 3 B N の近傍には、上述の保護用トランジスタ 2 1、2 2 と同じく第 2 能動素子としての接続がなされた p MOSトランジスタ 3 5 及び n MOSトランジスタ 3 6 が設けられる。これに対し、内部回路 4 A 内で、回路間信号配線 1 3 の受側に当たる第 1 能動素子 1 3 A の近傍には、保護素

子として4個のMOSトランジスタ31～34が配設されている。

【0092】

それらのうち、トランジスタ31, 33は、第1能動素子13APと同じ構造のpMOSトランジスタであって第1能動素子13APの左右に分かれて設けられている。また、トランジスタ32, 34は、第1能動素子13ANと同じ構造のnMOSトランジスタであって第1能動素子13ANの左右に分かれて設けられている。また、これらのトランジスタ31～34は、何れも、ソース及びゲートが該当内部回路4Aの電源ライン8Aに接続され、ドレインが回路間補助配線39に接続されているが、その他の信号配線には接続されておらず、第1能動素子13AP, 13ANを周りから保護するための第4能動素子となっている。これにより、この半導体集積回路装置は、回路間信号配線13の受側の第1能動素子13Aの近傍に第2能動素子が無くて第4能動素子だけが複数設けられたものとなっている。なお、回路間信号配線12の受側の第1能動素子12Bの近傍には、上述の例と同じく第2能動素子と第4能動素子とが混在している。

【0093】

この場合、回路間信号配線12及び回路間補助配線29に関しては上述したのと同様にして保護がなされる。また、回路間信号配線13及び回路間補助配線39に関しても、nMOSトランジスタ32, 34は、上述したnMOSトランジスタ26, 28と同様に、電源ライン8Bの電圧と電源ライン9Aの電圧とが逆転したり異常に離れたりしない限り導通することは無い。また、pMOSトランジスタ31, 33も、同様に、電源ライン8Bの電圧と電源ライン8Aの電圧とが逆転したり異常に離れたりしない限り導通することは無い。そのため、回路間補助配線39の導入等によって内部回路4A, 4Bの適正な動作が損ねられることは無い。また、これらのトランジスタ31～36が何れも回路間信号配線13から切り離されているので、回路間信号配線13上の信号が鈍るといったことも無い。

【0094】

そして、回路間信号配線13に関しては、入力素子13Aが周囲の4個総ての付加トランジスタ31～34によって積極的に保護されるので、回路間信号配線

1 2 についての保護以上の強い保護が得られる。

こうして、図 9 (a) ~ (c) に示した全状況のサージノイズ等に対し、回路規模の増大をなるべく抑えながらも適切に、それに起因する静電破壊を防止することができる。

【0 0 9 5】

【その他】

なお、上記の各実施例では、内部回路が CMOS からなる場合を述べたが、これは一例であり、p MOS や、n MOS、その他 MNOS 等の FET からなるものであっても、本発明の適用は可能である。また、バイポーラトランジスタが含まれていても良く、デジタル回路であっても、アナログ回路であっても良い。

【0 0 9 6】

また、内部回路の個数は、2 個に限らず、3 個以上でも良く、その配置も左右に限らず任意である。

電源ラインも、上述した正電圧印加用と接地用との対に限られるもので無く、例えば、正と負との対や、正と負と接地との組、高電圧と低電圧と他の基準電圧との組など、種々の組み合わせが有り得る。

【0 0 9 7】

さらに、上記実施例等の図示に際し、内部回路における能動素子としては、2 行 1 列 ~ 2 行 3 列のみを示したが、これは一部分に過ぎず、それより多くの能動素子を並べた多数行 × 多数列の配置が一般的である。

回路間信号配線も、回路間信号配線 1 2 だけでも良く、回路間信号配線 1 3 だけでも良く、それぞれ一本に限らず複数本設けられていても良く、その本数によって本発明の適用が妨げられることは無い。

【0 0 9 8】

また、上記実施例等では、p 型サブストレートを挙げたが、サブストレートは、p 型に限らず、n 型でも良く、絶縁性のものでも良く、シリコンに限らずガリウム砒素 (AsP) 等からなるものであっても良い。

基本セルも、トランジスタ 2 個が一組になったものを述べたが、これに限られるもので無く、トランジスタ 1 個だけのものであっても良く、それより多くても

良い。

【0099】

また、本発明は、従来からの入力保護回路やブロック間保護回路を排他するものでも前提とするものでも無いので、それらの保護回路を省いてから適用しても良く、それらの保護回路を併存させながら適用するようにしても良い。

【0100】

【発明の効果】

以上の説明から明らかなように、本発明の第1の解決手段の半導体集積回路装置にあっては、サージノイズによる電位変動等が第1能動素子の近傍で速やかに而も一様に分散されてピークが抑えられるとともに、新たに導入した保護素子が第1能動素子等と同様の手順で具体化されるようにしたことにより、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果が有る。

【0101】

また、本発明の第2の解決手段の半導体集積回路装置にあっては、サージノイズによる電位変動等が第1能動素子の近傍で速やかに分散されてピークが抑えられるとともに、新たに導入した第2能動素子が第1能動素子等と同様の手順で具体化され而も電源電圧の高低に拘わらず保護素子として働くようにしたことにより、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果を奏する。

【0102】

さらに、本発明の第3の解決手段の半導体集積回路装置にあっては、回路間信号配線の影響力を積極的に分散する第3能動素子も導入するとともにそれも第1、第2能動素子と同様の手順で具体化されるようにしたことにより、静電破壊に一層強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果が有る。

【0103】

また、本発明の第4の解決手段の半導体集積回路装置にあっては、回路間信号配線の影響に弱い受側のところに、回路間信号配線の影響力を積極的に分散させ

る第3能動素子を多用するようにしたことにより、静電破壊に対してより一層強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果を奏する。

【0104】

また、本発明の第5の解決手段の半導体集積回路装置にあっては、回路間信号配線と回路間補助配線とに起因して生じる局所的な電位変動を重ねさせて第1能動素子に発生する電位差のピークが低く抑えられるとともに、新たな保護回路が配線パターンの追加変更等で導入しうるようにしたことにより、静電破壊に強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果が有る。

【0105】

また、本発明の第6の解決手段の半導体集積回路装置にあっては、相対的に弱い受側の方に生じた回路間信号配線の影響が相対的に強い送側の方へ分散されるようにもしたことにより、静電破壊に一層強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果を奏する。

【0106】

また、本発明の第7の解決手段の半導体集積回路装置にあっては、回路間補助配線の接続箇所に関する制約が緩和されるようにもしたことにより、静電破壊に一層強く而も自動設計等にも一層適する半導体集積回路装置を実現することができたという有利な効果が有る。

【0107】

また、本発明の第8の解決手段の半導体集積回路装置にあっては、回路間信号配線の影響に弱い受側のところに、回路間信号配線の影響力を積極的に分散させる第4能動素子を多用するようにしたことにより、静電破壊に対してより一層強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果を奏する。

【0108】

また、本発明の第9の解決手段の半導体集積回路装置にあっては、サージノイズによる電位変動等が第1能動素子の近傍で速やかに而も一様に分散されてピー

クが抑えられるようにもしたことにより、第 1 能動素子に対する保護が強化されて、静電破壊に対して更に強く而も自動設計等にも適する半導体集積回路装置を実現することができたという有利な効果が有る。

【図面の簡単な説明】

【図 1】 本発明の半導体集積回路装置の第 1 実施例について、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図、(c) が、基本単位となる半導体領域およびゲートの縦断面斜視図である。

【図 2】 本発明の半導体集積回路装置の第 2 実施例について、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図である。

【図 3】 本発明の半導体集積回路装置の第 3 実施例について、要部の詳細回路図である。

【図 4】 本発明の半導体集積回路装置の第 4 実施例について、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図である。

【図 5】 本発明の半導体集積回路装置の第 5 実施例について、(a) が要部の詳細回路図、(b) が該当領域のレイアウト図である。

【図 6】 本発明の半導体集積回路装置の第 6 実施例について、要部の詳細回路図である。

【図 7】 電源ラインの異なる複数の内部回路を持った半導体集積回路装置の一般的な構造を示し、(a) がチップ全体の概要配置図、(b) が要部の回路図である。

【図 8】 その内部回路間で信号を送受する部分を素子レベルで示しており、(a) が詳細回路図、(b) が半導体領域のレイアウト図、(c) がゲート及び電源ラインもパターン形成したところのレイアウト図、(d) が更に信号配線もパターン形成したところのレイアウト図、(e) が、基本単位となる半導体領域およびゲートの縦断面斜視図である。

【図 9】 サージノイズの影響を示したイメージ図である。

【符号の説明】

- 1 半導体集積回路装置（ワンチップ I C、L S I）
- 2 外部接続端子（パッド、バンプ、ボール、ランド、電極）

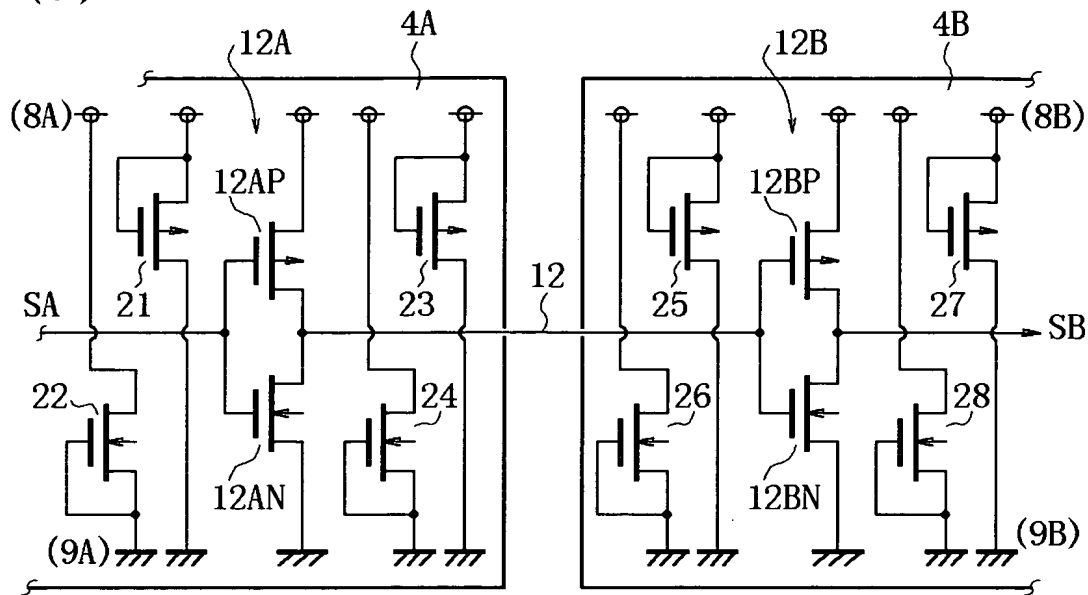
- 3 A 外部信号入出力回路（相対的に高い電源電圧の供給される I / O 部）
- 3 A A 入力保護回路（外部信号入力ラインと電源ライン間の保護回路）
- 3 B 外部信号入出力回路（相対的に低い電源電圧の供給される I / O 部）
- 3 B B 入力保護回路（外部信号入力ラインと電源ライン間の保護回路）
- 4 A 内部回路（相対的に高い電源電圧の供給される高密度集積回路部）
- 4 B 内部回路（相対的に低い電源電圧の供給される高密度集積回路部）
- 4 c ブロック間保護回路（内部回路 4 A, 4 B 間の保護回路）
- 5 A 高電源用端子（高い方の電源電圧を供給する外部接続端子対の一方）
- 5 B 低電源用端子（低い方の電源電圧を供給する外部接続端子対の一方）
- 6 A 接地用端子（高い方の電源電圧を供給する外部接続端子対の他方）
- 6 B 接地用端子（低い方の電源電圧を供給する外部接続端子対の他方）
- 7 A 入出力用端子（高電圧受給側の内部回路に接続された外部接続端子）
- 7 B 入出力用端子（低電圧受給側の内部回路に接続された外部接続端子）
- 8 A 電源ライン（高電圧供給用の電源ライン対の一方、5 V 電圧ライン）
- 8 B 電源ライン（低電圧供給用の電源ライン対の一方、3 V 電圧ライン）
- 9 A 電源ライン（高電圧供給用の電源ライン対の他方、5 V 接地ライン）
- 9 B 電源ライン（低電圧供給用の電源ライン対の他方、3 V 接地ライン）
- 1 1 A 内部素子（高電圧受給側の内部回路における回路素子）
- 1 1 B 内部素子（低電圧受給側の内部回路における回路素子）
- 1 2 回路間信号配線（他の内部回路に達するパターン配線）
- 1 2 A 出力素子（電源電圧の高い方から低い内部回路へ信号を送る素子）
- 1 2 A P 第 1 能動素子（高電圧側の内部回路における送側の p M O S）
- 1 2 A N 第 1 能動素子（高電圧側の内部回路における送側の n M O S）
- 1 2 B 入力素子（電源電圧の高い方から送られて来た信号を受ける素子）
- 1 2 B P 第 1 能動素子（低電圧側の内部回路における受側の p M O S）
- 1 2 B N 第 1 能動素子（低電圧側の内部回路における受側の n M O S）
- 1 3 回路間信号配線（他の内部回路に達するパターン配線）
- 1 3 A 入力素子（電源電圧の低い方から送られて来た信号を受ける素子）
- 1 3 A P 第 1 能動素子（高電圧側の内部回路における受側の p M O S）

- 1 3 A N 第 1 能動素子（高電圧側の内部回路における受側の n M O S）
- 1 3 B 出力素子（電源電圧の低い方から高い内部回路へ信号を送る素子）
- 1 3 B P 第 1 能動素子（低電圧側の内部回路における送側の p M O S）
- 1 3 B N 第 1 能動素子（低電圧側の内部回路における送側の n M O S）
- 2 1 ~ 2 8 能動素子（第 2 ・ 第 3 ・ 第 4 能動素子、近隣の他の能動素子）
- 2 2 d 寄生ダイオード
- 2 2 t 寄生トランジスタ
- 2 9 回路間補助配線（並走して他の内部回路に至るパターン配線）
- 3 1 ~ 3 6 能動素子（第 2 ・ 第 3 ・ 第 4 能動素子、近隣の他の能動素子）
- 3 9 回路間補助配線（並走して他の内部回路に至るパターン配線）
- S A 内部信号配線（高電圧側の内部回路における信号ライン）
- S B 内部信号配線（低電圧側の内部回路における信号ライン）

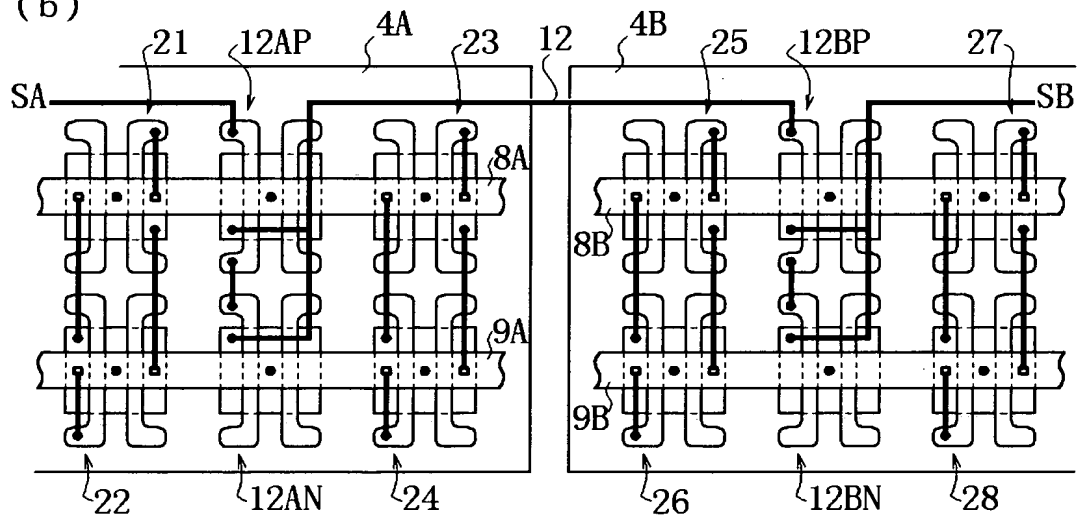
【書類名】 図面

【図 1】

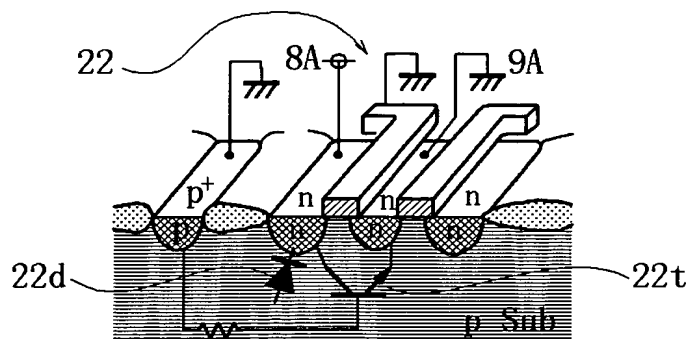
(a)



(b)

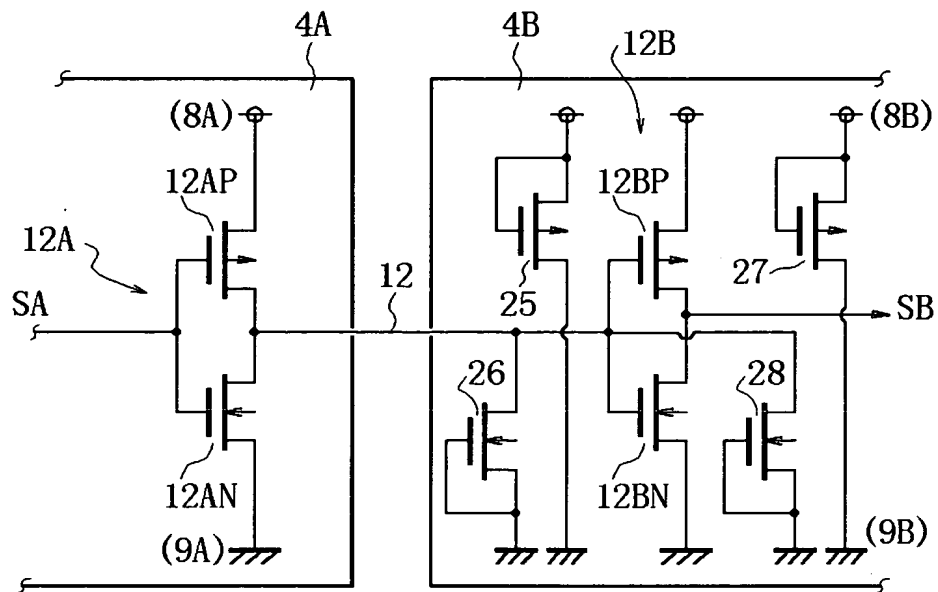


(c)

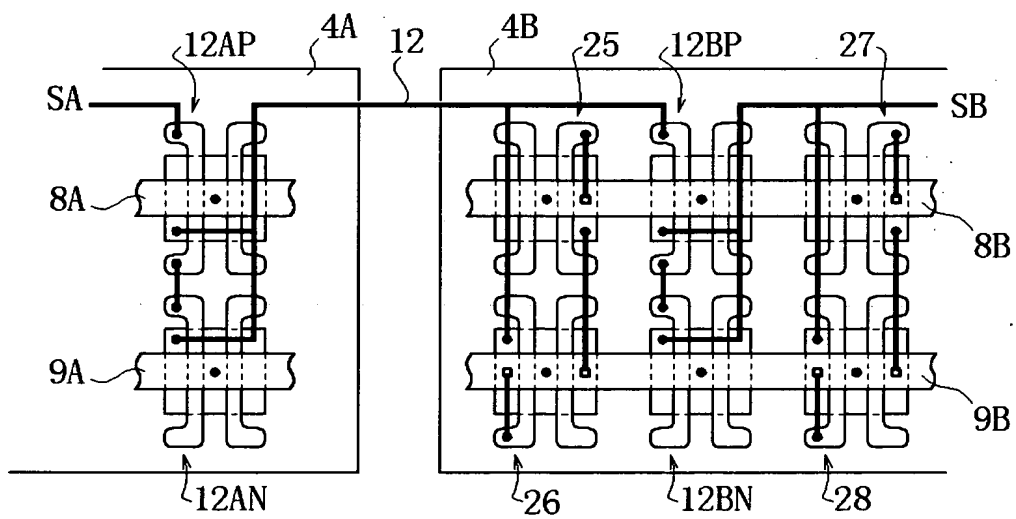


【図 2】

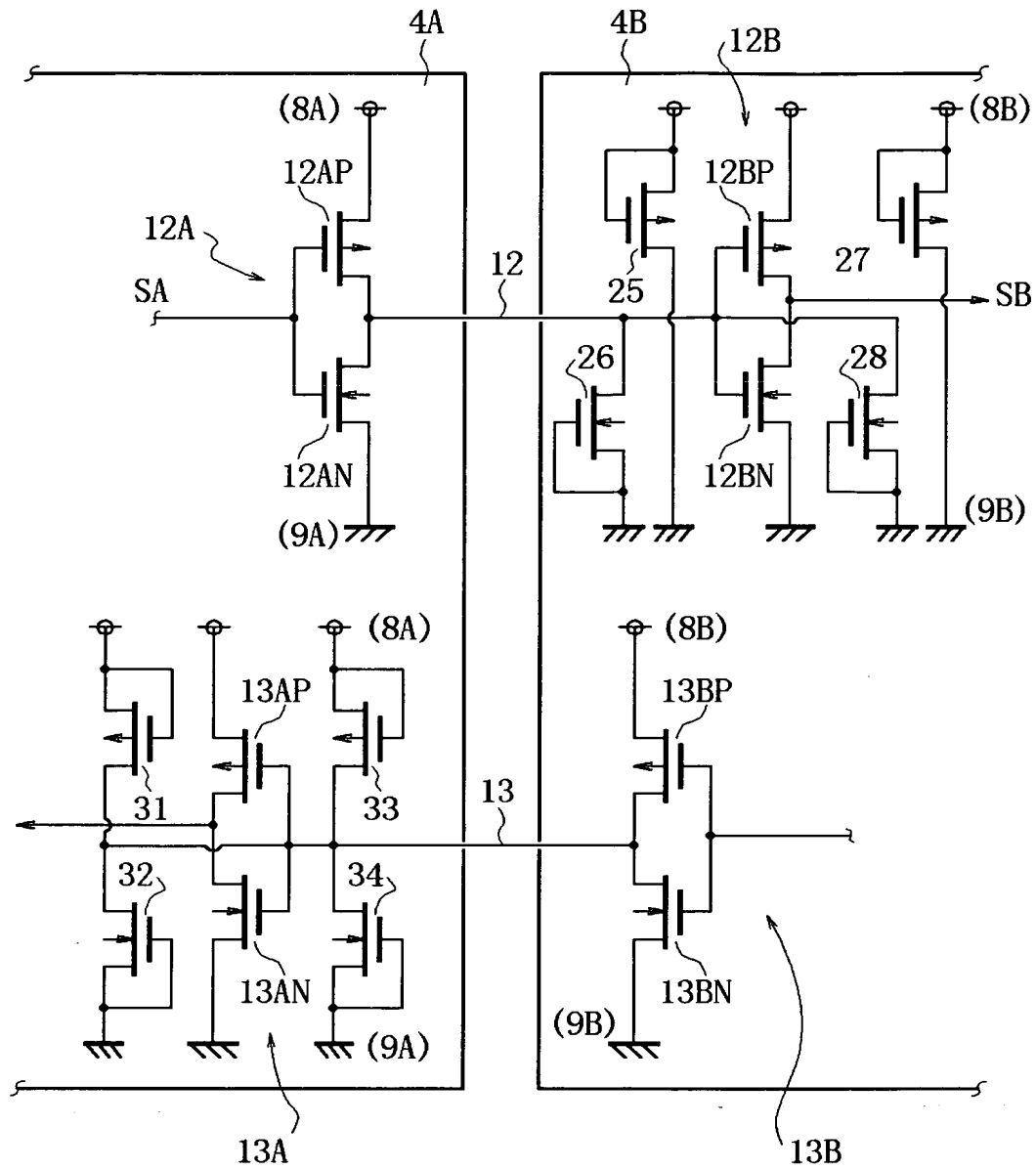
(a)



(b)

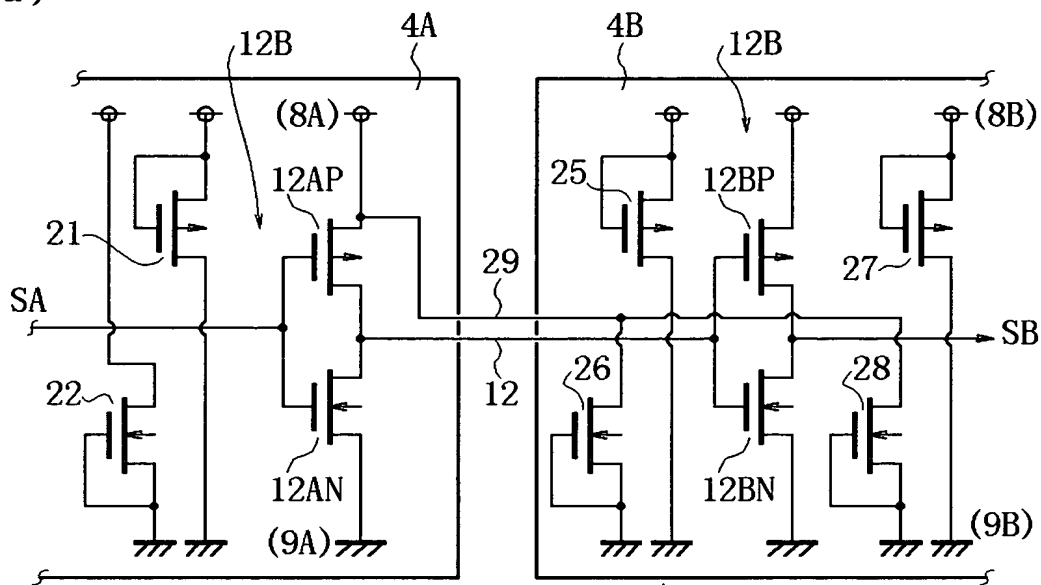


【図 3】

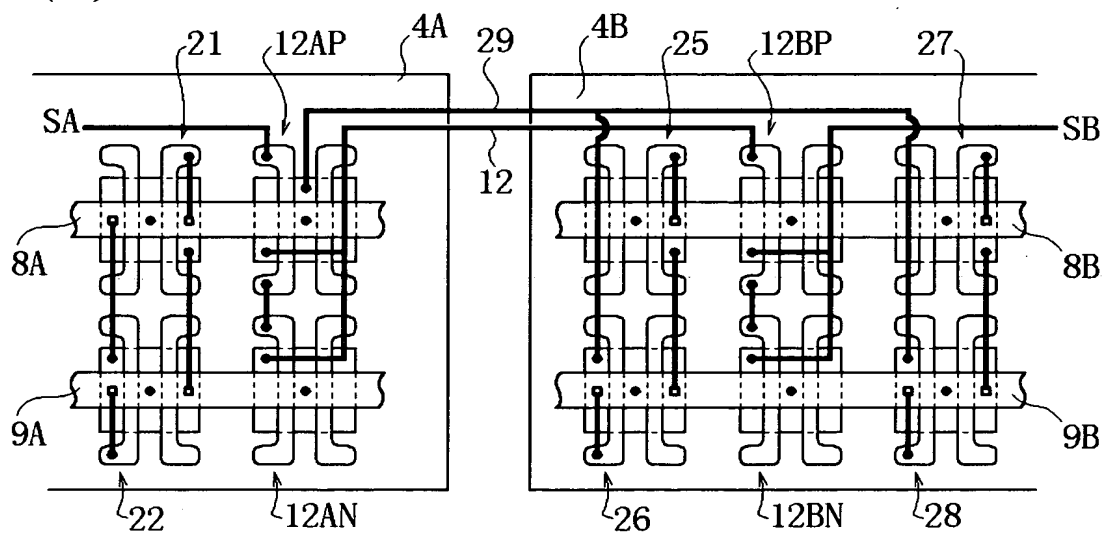


【図 4】

(a)

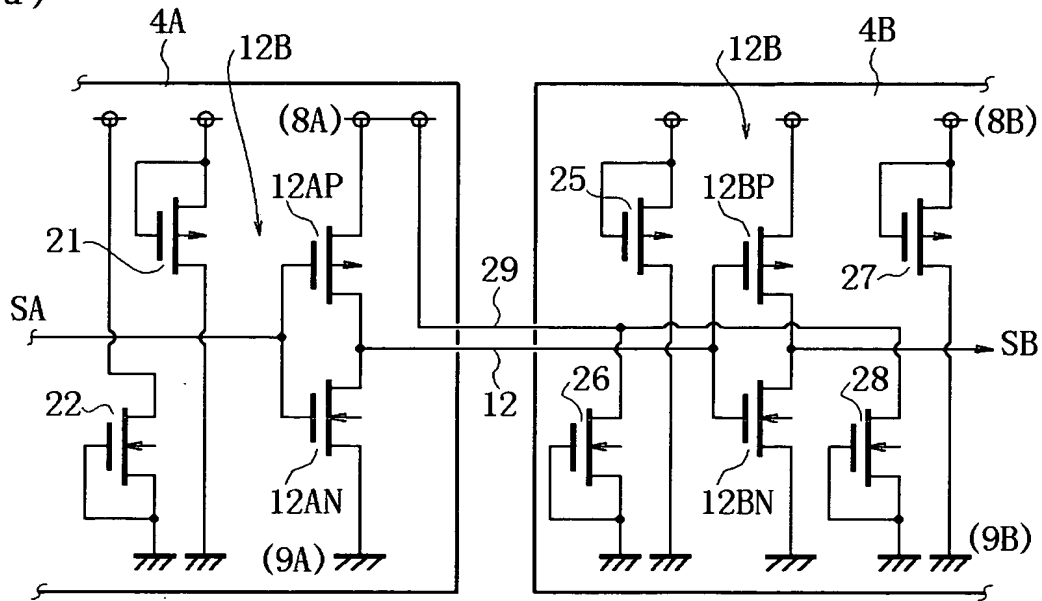


(b)

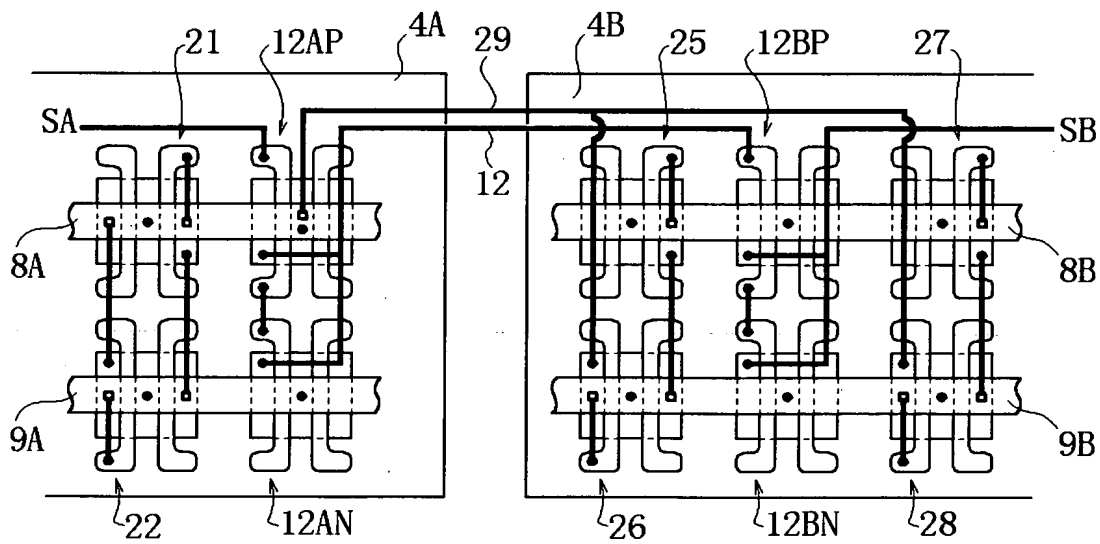


【図 5】

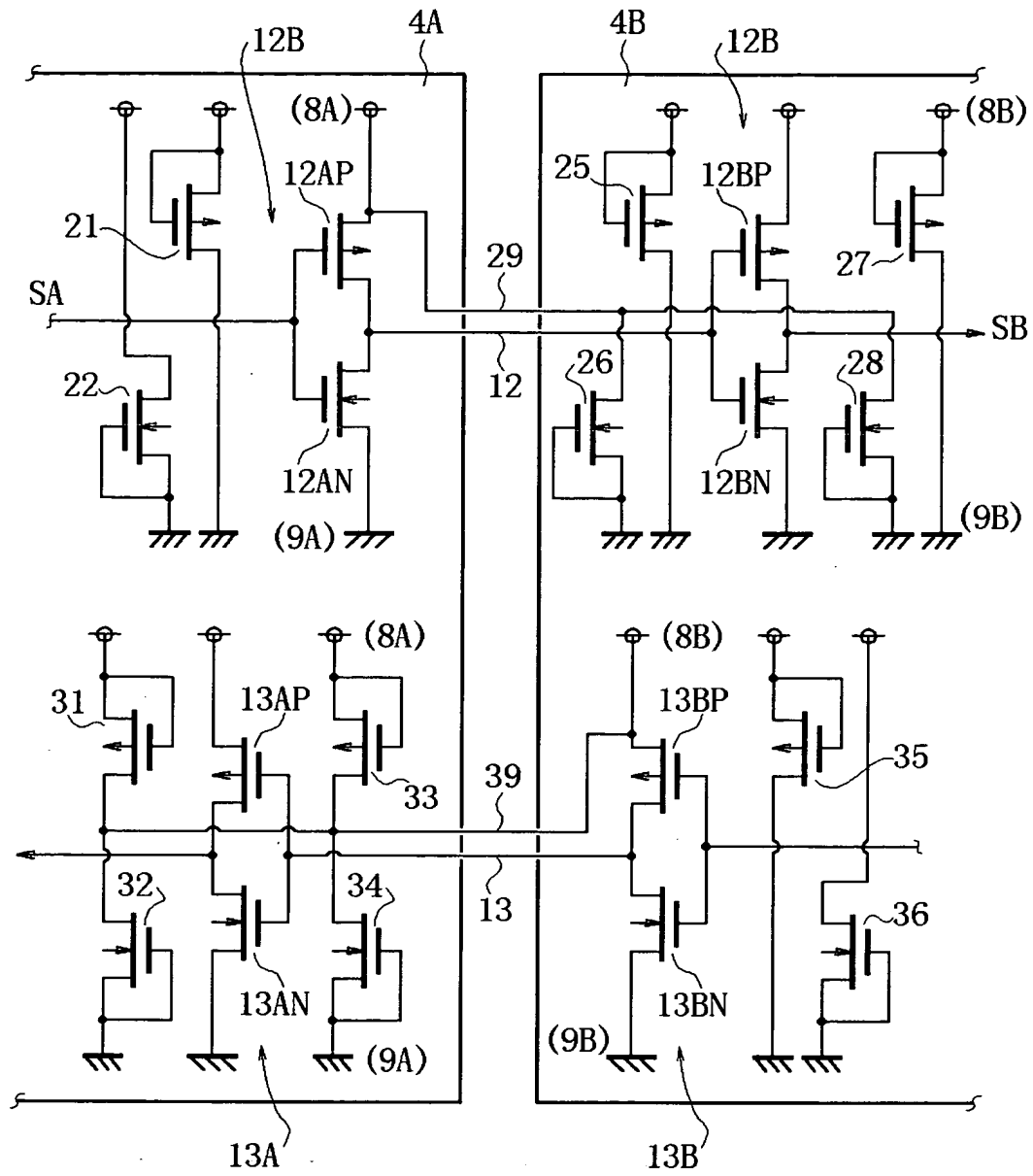
(a)



(b)

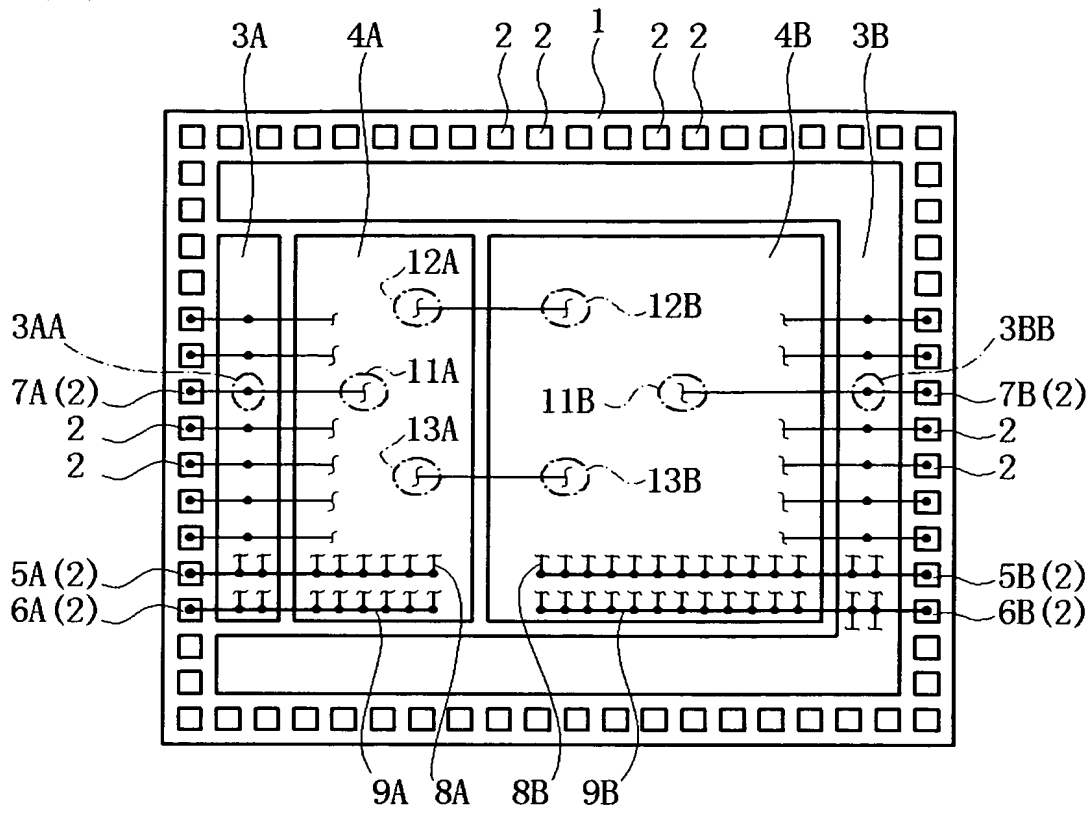


【図 6】

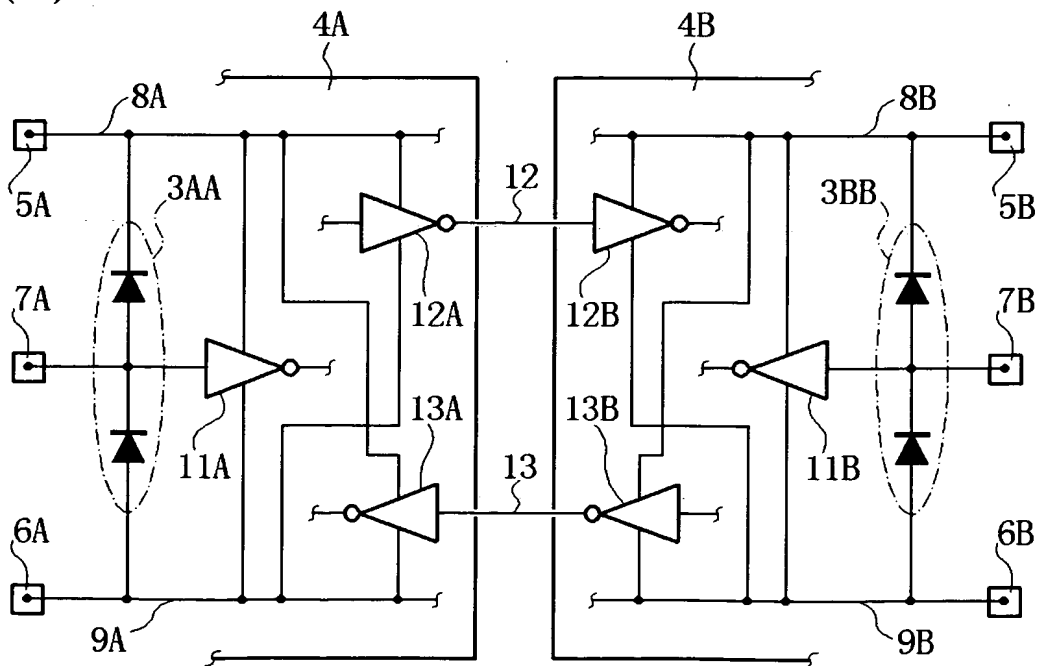


【図 7】

(a)

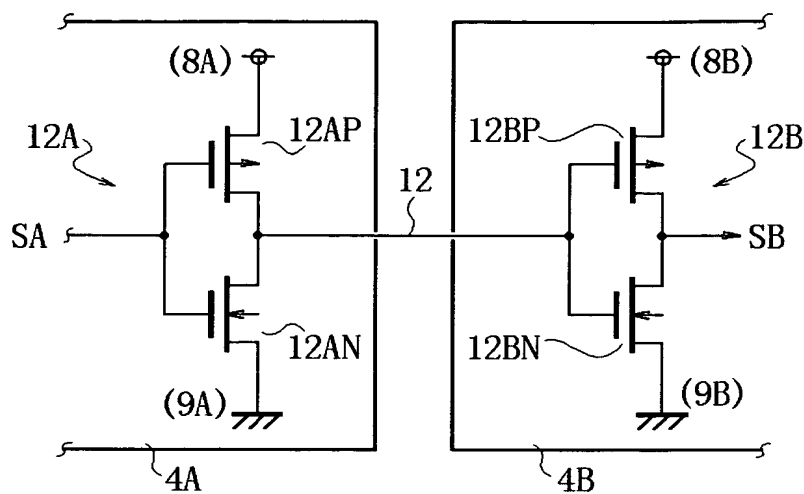


(b)

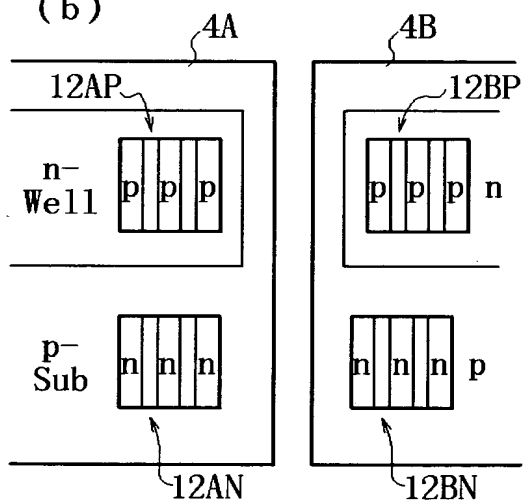


【图 8】

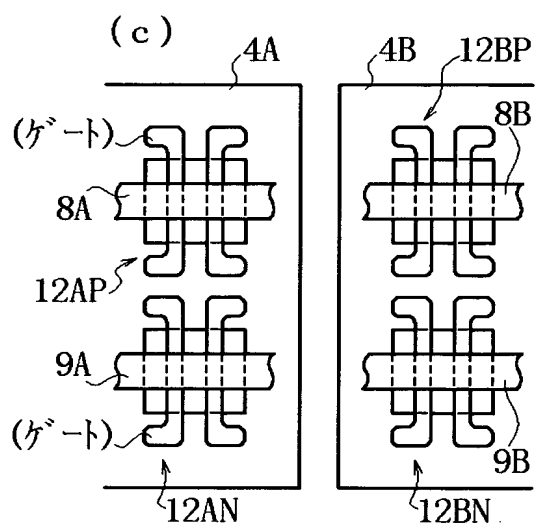
(a)



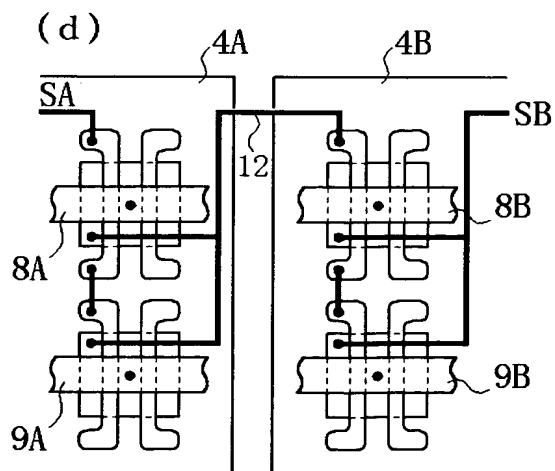
(b)



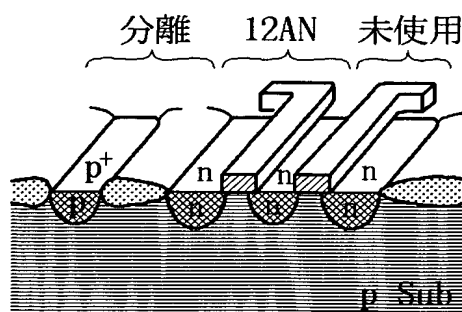
(c)



(d)

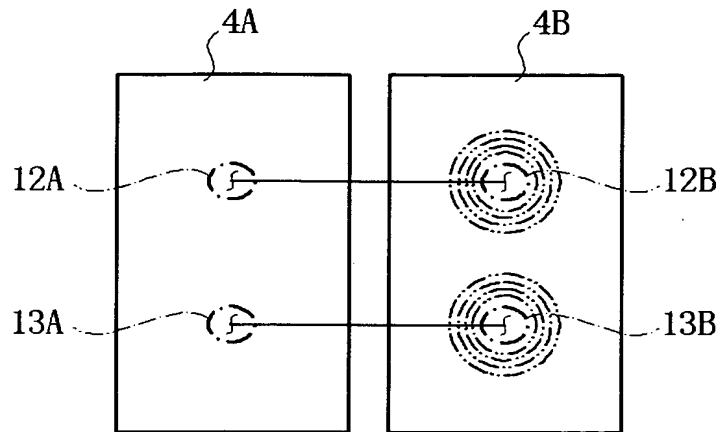


(e)

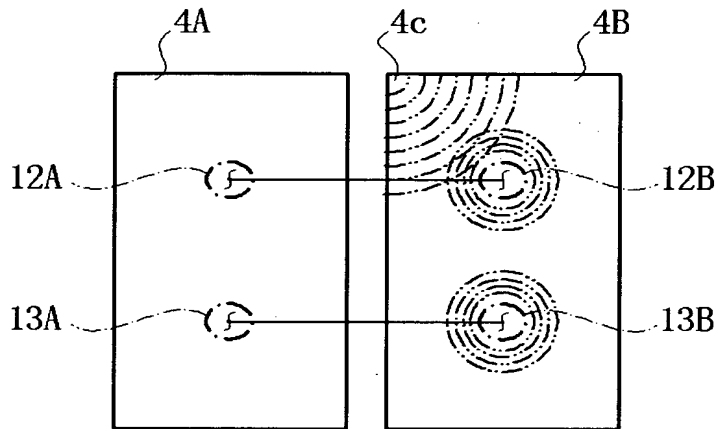


【図 9】

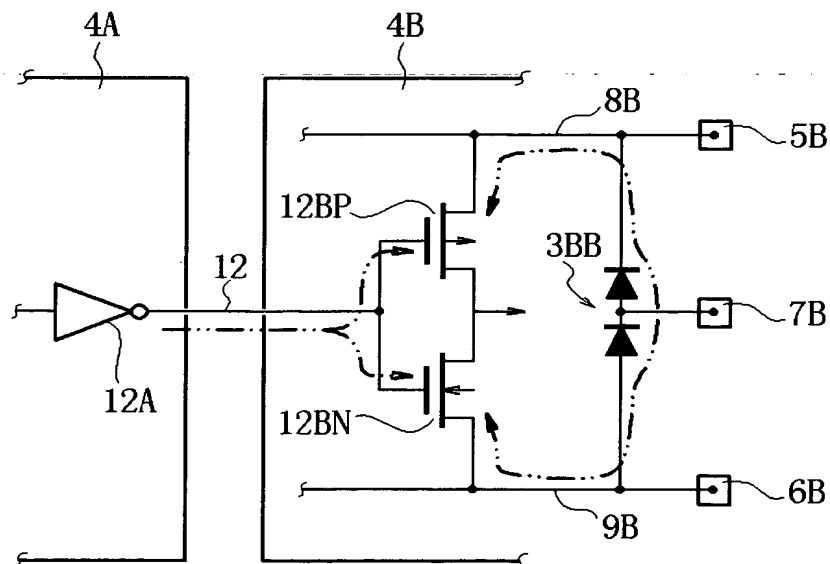
(a)



(b)



(c)



【書類名】 要約書

【要約】

【課題】 静電破壊に強く而も自動設計等にも適するようにする。

【解決手段】 電源ライン 8 A, 9 A, 8 B, 9 B の異なる複数の内部回路 4 A, 4 B と、それらの内部回路に亘って設けられた回路間信号配線 1 2 とを備えた半導体集積回路装置において、回路間信号配線 1 2 の接続された第 1 能動素子 1 2 A P, 1 2 A N, 1 2 B P, 1 2 B N の近傍に、それを挟んだ又は囲んだ配置状態で、それと同一構造の又は同様構造のものであって該当内部回路の電源ラインには接続されていても該当内部回路内の信号配線には接続されていない他の能動素子 2 1 ~ 2 8 を複数設ける。また、回路間信号配線 1 2 にも接続しない。さらに、回路間信号配線 1 2 の接続箇所の近傍における静的箇所に接続され回路間信号配線 1 2 に並走する回路間補助配線 (2 9) も設ける。

【選択図】 図 1

認定・付加情報

特許出願の番号	平成11年 特許願 第213098号
受付番号	59900721851
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 7月30日

<認定情報・付加情報>

【提出日】	平成11年 7月28日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000116024]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	京都府京都市右京区西院溝崎町21番地
氏 名	ローム株式会社